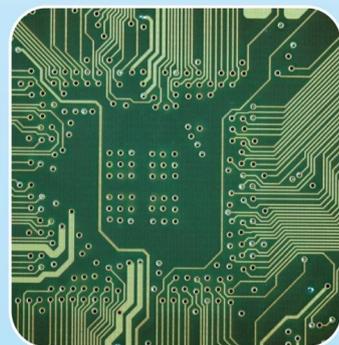


財團
法人

中技社

我國半導體異質整合發展 之挑戰

CTCI FOUNDATION



財團法人中技社(CTCI Foundation)創立於 1959 年 10 月 12 日，以「引進科技新知，培育科技人才，協助國內外經濟建設，提升國內生產事業能力」為宗旨。初期，主要著力於石化廠之設計與監造；1979 年，將工程業務外移轉投資成立中鼎工程後，業務轉型朝向裨益產業發展之觸媒研究、污染防治與清潔生產、節能、及環保技術服務與專業諮詢；2006 年，因應社會環境變遷，本社再次調整業務方向，轉型為專注於環境與能源領域的智庫機構。透過專題研究、研討會、論壇及座談會等多元形式，積極推動科技與知識的創新，並發行推廣刊物與科技新知叢書，致力於建構資訊交流與政策研議的平台，期能協助公共政策的規劃與研擬，亦間接促進產業升級，實現環保節能與經濟繁榮並重的目標。

為延續創社初衷，並積極對所處環境作出更大貢獻，本社聚焦於國內具有前瞻性與急迫性的能源、環境、產業、社會及經濟等多元議題，廣邀國內外專家，進行全面性研究與探討，並將研究結果編輯成專題報告，發行供產業界、政府部門、學術界及研究機構參考使用。

本專題由中央研究院院士盧志遠主持，並邀集來自產、學、研界的多位半導體領域權威專家參與，包括台積電副總經理余振華、希鐸科技董事長胡迪群、日月光資深副總經理洪松井、陽明交大國際半導體產業學院講座教授陳冠能、工研院電子與光電系統研究所副所長駱韋仲、鈺創科技董事長盧超群、新思科技資深業務協理劉志鵬及聯發科協理蘇仁斌（依姓氏筆劃排序）。此外，工研院電子與光電系統研究所、材料與化學研究所及產業科技國際策略發展所的研究團隊亦全程參與，與本社同仁共同推動此項研究。專題聚焦於半導體異質整合領域，深入分析其發展趨勢與應用、產業現況與重點國家政策、技術現況與挑戰，並進行產業競爭力的全面評估。研究團隊亦針對我國半導體產業的未來發展方向，提出具體策略建議。期能有助於促進我國半導體異質整合產業的全面形成，並協助產業奠定未來持續成長的堅實基礎。

發行人：潘文炎

主編：陳綠蔚、盧志遠

作者：王欽宏、吳仕先、李佳蓁、余振華、邱國展、林建中、胡迪群、洪松井、郭佳韋、張香鎰、張筠苒、陳冠能、陳凱琪、莊凱翔、彭志偉、曾志煌、鄭良加、駱韋仲、盧超群、劉志鵬、蕭志誠、戴明吉、簡恆傑、羅豐祥、蘇仁斌（依姓氏筆劃序）

執行編輯：曾志煌、郭佳韋

發行者：財團法人中技社

地址 / 106 臺北市敦化南路二段 97 號 8 樓

電話 / 886-2-2704-9805

傳真 / 886-2-2705-5044

網址 / www.ctci.org.tw

本社專題報告內容已同步發行於網站中，歡迎下載參考

發行日期：中華民國 113 年 12 月

ISBN：978-626-7665-00-8

序

隨著人工智慧、通訊技術與自駕車等科技的快速演進，產業對高階晶片的需求越來越殷切。然而，隨著製程技術逐漸接近物理極限，其在滿足晶片「體積縮小、性能提升」方面的能力已呈現瓶頸，為此，半導體業界正積極轉向構裝技術的創新與發展。另在趨勢上，不論是智慧手機、車用電子還是航太應用等終端產品，都將需要整合更多樣化的功能，因而，異質整合技術將成為半導體產業的關鍵發展方向，勢將扮演舉足輕重的角色。

國際半導體技術發展藍圖組織(International Technology Roadmap for Semiconductors, ITRS)於2014年成立異質整合聚焦團隊，正式規劃並發布《異質整合發展藍圖》(Heterogeneous Integration Roadmap, HIR)，將異質整合確立為半導體產業的重要發展方向。而我國國家科學及技術委員會(國科會)亦於112年底，將異質整合相關技術納入國家核心關鍵技術清單，包括異質整合封裝技術中的晶圓級封裝技術、矽光子整合封裝技術，以及相關特殊材料與設備技術。顯示，國內亦已就異質整合的發展重要性達成共識。

相較於傳統封裝僅針對單一功能的個別晶粒進行封裝，異質整合係採用系統級封裝(System in a Package, SiP)，在三維空間內將多個功能元件整合於單一封裝體中。這些元件包括邏輯晶片、射頻晶片、記憶體、主動與被動元件、連接器以及微機電系統(MEMS)等，實現高度多功能化與整合度。它的技術優勢在於大幅縮短訊號傳輸路徑、提升頻寬、降低耗電，同時使封裝尺寸更薄、更小。然而，在設計與實現過程中，必須同時平衡性能、功耗與面積(Performance, Power, Area, PPA)的最佳化，這對封裝技術提出了更高的要求。

雖然異質整合技術帶來了眾多創新與機遇，但其發展過程中也面臨多重挑戰，包括：異質材料的整合與設備開發(需克服不同材料在性能與相容性上的差異)、先進封裝技術(如晶圓級封裝(Wafer-Level Packaging)和矽穿孔技術(TSV)的精進)、共同封裝光學元件(CPO, Co-Packaged Optics)(光電整合的設計與製造難題)、晶片散熱問題等。此外，異質整合的成功實現還需針對以下技術領域進行協同開發，包括：Chiplet設計(標準化設計以促進模組化應用)、EDA工具(提升設計自動

化的能力，支持多功能元件的整合)、互連介面與中介層技術(確保元件間的高速傳輸與可靠連接)。整體而言，為實現降低成本與提升良率的目標，異質整合的推動必須依賴整個半導體供應鏈的緊密合作，涵蓋晶片設計、製造、封裝與測試等環節，方能克服技術障礙之挑戰。

本報告主要分為以下幾部分進行探討：(1)異質整合技術的定義與起源，即剖析其技術概念、發展歷程、應用需求及未來潛力市場，揭示其在科技發展中的重要性。(2)產業鏈現狀與策略布局，主要在整理異質整合技術的產業鏈分布、領導廠商的技術布局，以及重點國家在政策扶持和學研發展方向上的最新動態。(3)技術開發與挑戰，重點係聚焦異質整合技術的研發進展，特別是 Chiplet 互連介面所面臨的技術挑戰及解決方案。(4)競爭力分析與發展策略，綜合對我國異質整合產業的競爭力進行評前估，並提出具體發展策略。另，本報告為更深入掌握產學研界的觀點與需求，特別邀請相關領域的專家建言，探討如何促進我國異質整合產業的形成與發展。透過多方位的研究與建議，期望為我國異質整合技術的未來布局提供參考。

本報告得以順利完成，特別感謝中央研究院盧志遠院士擔任議題召集人，並邀請台灣積體電路製造股份有限公司余振華副總、希鑄科技股份有限公司胡迪群董事長、日月光半導體製造股份有限公司洪松井資深副總、陽明交通大學國際半導體產業學院陳冠能講座教授、工研院電子與光電系統研究所駱韋仲副所長、鈺創科技股份有限公司盧超群董事長、新思科技股份有限公司劉志鵬資深業務協理、聯發科技股份有限公司蘇仁斌協理(按姓氏筆劃順序)等8位來自半導體產學研界的專家參與討論。此外，亦感謝工研院電子與光電系統研究所王欽宏組長、林建中組長、莊凱翔組長、鄭良加組長、戴明吉副組長、羅豐祥副組長、吳仕先經理、張香鈺經理、蕭志誠經理、簡恆傑經理及彭志偉工程師；材料與化學研究所邱國展副所長及陳凱琪副組長；產業科技國際策略發展所李佳蓁副研究員與張筠苡副研究員組成的研究團隊，為議題進行提供專業的支援，並與本社同仁緊密合作，協力完成此專題報告，讓報告內容更加完善，更具參考價值。在此向所有參與者表達最誠摯的謝意。

財團法人中技社 董事長

潘文炎

2024 年 12 月

目錄

序.....	I
目錄.....	III
圖目錄.....	V
表目錄.....	IX
執行摘要.....	1
一、問題及目標.....	1
二、研究範圍及內容.....	1
三、研究結論.....	1
四、改善對策及建言.....	2
第一章 半導體異質整合發展趨勢與應用.....	5
一、異質整合之基本定義與技術發展趨勢.....	6
二、異質整合之應用領域與市場需求現況.....	18
三、異質整合之前瞻技術與未來市場探勘.....	24
四、小結.....	31
第二章 半導體異質整合產業鏈現況與重點國家政策.....	35
一、異質整合產業鏈及生態系現況.....	35
二、異質整合領導廠商技術布局.....	39
三、重點國家相關政策及學研發展方向.....	60
四、小結.....	70
第三章 異質整合技術現況及挑戰.....	73
一、設備及材料現況與挑戰.....	73
二、先進封裝技術現況與挑戰.....	89
三、矽光子、光學共同封裝模組現況與挑戰.....	100
四、散熱技術現況與挑戰.....	104
五、小結.....	107
第四章 異質整合 Chiplet 互連介面現況與挑戰.....	109
一、異質系統快速開發的解決方案.....	109
二、Chiplet 互連介面挑戰.....	113
三、互連介面設計與測試挑戰.....	121
四、封裝與中介層挑戰.....	124
五、小結.....	132
第五章 我國異質整合產業競爭力分析與發展策略.....	135
一、我國異質整合技術發展之外部環境因素探討.....	135
二、我國相關產業鏈現況、政策研析及學研發展方向.....	138

三、我國相關產業競爭態勢分析與市場定位探討.....	145
四、我國異質整合產業發展挑戰及策略.....	149
五、小結.....	155
第六章 促進我國半導體異質整合產業形成之建議.....	157
一、余振華副總（台灣積體電路製造股份有限公司）.....	157
二、胡迪群董事長（希鐸科技股份有限公司）.....	158
三、洪松井資深副總（日月光半導體製造股份有限公司）.....	160
四、陳冠能講座教授（陽明交通大學國際半導體產業學院）.....	161
五、駱韋仲副所長（工研院電子與光電系統研究所）.....	162
六、盧超群董事長（鈺創科技股份有限公司）.....	164
七、劉志鵬資深業務協理（新思科技股份有限公司）.....	165
八、蘇仁斌協理（聯發科技股份有限公司）.....	167
九、結語.....	168
第七章 結論與建議.....	173
一、結論.....	173
二、建議.....	174
專有名詞中英文及縮寫對照表.....	177

圖目錄

圖 1.1、異質整合為延續摩爾定律的關鍵.....	5
圖 1.2、異質整合基本概念示意圖.....	6
圖 1.3、封裝系統互連縮放趨勢.....	9
圖 1.4、異質整合系統級封裝技術朝高互連密度發展.....	10
圖 1.5、扇外型封裝流程比較.....	13
圖 1.6、先進封裝的分類：2D、2.1D、2.3D、2.5D 和 3D IC 結構示意圖.....	15
圖 1.7、3D 高密度互連間距演進.....	16
圖 1.8、2023 年~2028 年全球半導體市場預測.....	18
圖 1.9、異質整合提升系統價值並實現多樣化應用.....	20
圖 1.10、2024 年全球半導體應用市場表現.....	21
圖 1.11、異質整合下兩大解決方案.....	25
圖 1.12、全球小晶片市場規模.....	26
圖 1.13、光學元件與 ASIC 能耗需求節節攀升.....	28
圖 1.14、CPO 架構演進實現最佳電光整合.....	29
圖 1.15、2023~2028 年 CPO 市場規模預估.....	30
圖 1.16、CPO 市場應用領域比重變化.....	31
圖 2.1、異質整合產業鏈流程.....	35
圖 2.2、台積電 3D Fabric 聯盟生態系.....	38
圖 2.3、台積電 3Dblox 標準演進.....	39
圖 2.4、Nvidia B200 GPU 規格.....	41
圖 2.5、AMD 3D V-Cache 架構.....	42
圖 2.6、AMD MI300 3.5D 封裝架構.....	44
圖 2.7、台積電 InFO 技術架構比較.....	46
圖 2.8、Flip-Chip MCM 與 InFO_SoW 電器性能比較.....	47
圖 2.9、台積電 System-on-Wafer 技術未來布局.....	47
圖 2.10、台積電 CoWoS 技術架構比較.....	48
圖 2.11、台積 SoIC 鍵合密度優勢.....	49
圖 2.12、台積 SoIC-WoW 封裝流程.....	50

圖 2.13、Intel 先進封裝進程	51
圖 2.14、Intel 以 Hybrid Bonding 微縮 Pitch	52
圖 2.15、Intel 先進封裝技術架構比較	52
圖 2.16、Samsung 2.5D 先進封裝技術架構比較	53
圖 2.17、Samsung 3D 先進封裝技術架構比較	54
圖 2.18、日月光 VIPack 先進封裝平台	55
圖 2.19、日月光 FOPoP 技術架構	55
圖 2.20、日月光 FOCoS-Bridge 封裝體	56
圖 2.21、日月光集團旗下矽品的 FOEB 技術	57
圖 3.1、先進封裝 TSV 製程主要設備供應商	75
圖 3.2、先進封裝 Fan-Out 製程主要設備供應商(1)	75
圖 3.3、先進封裝 Fan-Out 製程主要設備供應商(2)	76
圖 3.4、先進封裝 Fan-Out 製程主要設備供應商(3)	76
圖 3.5、以銅-銅直接接合完成三維堆疊的 CMOS 元件	78
圖 3.6、Hybrid bonding 的製造流程	79
圖 3.7、熱壓接合後銅柱底下晶片後段製程的失效情況	80
圖 3.8、使用奈米雙晶銅在 150°C 接合 1 小時的 TEM 影像	80
圖 3.9、SAB wafer bonder 的示意圖	81
圖 3.10、整合晶圓橫截面 SEM 影像	82
圖 3.11、微凸點的電壓和電流特性	82
圖 3.12、Cu/BCB 晶圓級銅-銅複合接合堆疊架構	83
圖 3.13、具內埋開關晶片扇外型先進封裝	83
圖 3.14、TCT 1000 次循環期間的接觸電阻	84
圖 3.15、膠囊內視鏡封裝模組	84
圖 3.16、面板級晶片封裝模組	85
圖 3.17、天線模組封裝結構	87
圖 3.18、Polarization types of normal dielectric materials	88
圖 3.19、4P4M 及 Via 導通孔的堆疊架構示意圖 (Not-to-scale)	90
圖 3.20、4P4M daisy chain 製作流程及其架構示意圖(Not-to-scale)	91

圖 3.21、2 μm / 2 μm 線寬線距金屬線 SEM 上視圖及剖面圖(左下)	92
圖 3.22、1 張光罩就可進行個別 6 層線路的曝光製程	92
圖 3.23、對位方式改善前後 OM 圖示	93
圖 3.24、細線路填銅製程	93
圖 3.25、各層 OM 上視圖; (a)P2 層及 Via 導通孔開孔 OM 圖，(b)M3 金屬層及 Via 金屬導通形成 OM 圖，(c) P3 層及 Via 導通孔開孔 OM 圖，(d)M4 金屬層及 Via 金屬導通形成 OM 圖	94
圖 3.26、M2 到 M4 各層 SEM 剖面圖	95
圖 3.27、量測 Pad 及量測探針接觸在有開孔 150 μm 方形 Pad 上	95
圖 3.28、4P4M SEM 剖面圖	96
圖 3.29、基板翹曲量測	97
圖 3.30、4P4M RDL 的 12 吋基板	97
圖 3.31、Cerebras 第三代 WSE 是目前全世界最快的 AI 處理器	98
圖 3.32、Tesla Dojo System on Wafer 伺服器	99
圖 3.33、台積電 SoW 技術演進說明	100
圖 3.34、傳統光收發模組(Transceiver)工作原理	101
圖 3.35、插拔式光收發模組與共封裝光學模組架構：(a)(c)上視圖；(b)(d)側視圖	102
圖 3.36、PIC 技術開發流程圖	102
圖 3.37、矽光傳輸模組供應鏈	103
圖 3.38、高階晶片發熱量成長趨勢	105
圖 3.39、液冷散熱技術概分為冷板式與浸沒式兩種設計	105
圖 4.1、Chiplet 晶片樣態	110
圖 4.2、架構設計與規劃	111
圖 4.3、2.5D/3D IC 設計流程	112
圖 4.4、多重物理模擬和驗證	113
圖 4.5、Chiplet 與單晶片設計方法的性能和成本比較	114
圖 4.6、雙模物理連線設計 Dual-mode Physical Link	117
圖 4.7、AI and Memory Wall	118
圖 4.8、記憶運算一體化架構	119

圖 4.9、DRAM +Logic 高容量記憶體階層	120
圖 4.10、IEEE Std P1838.....	122
圖 4.11、互連介面測試挑戰.....	123
圖 4.12、被動式與主動式中介層結構.....	124
圖 4.13、2011 年 AMD 在其 AMD Radeon™ Fury GPU 上所使用的被動式中介層 的樣品圖示及樣品切面圖示。	125
圖 4.14、AMD Radeon™ Fury GPU 的切面圖	126
圖 4.15、主動式中介層典型結構	127
圖 4.16、中介層技術所帶動的全球產業分工範例	128
圖 4.17、封裝結構上的變化.....	130
圖 5.1、我國 IC 產業地圖	139
圖 5.2、加速產業創新所需異質整合及先進技術架構.....	143
圖 5.3、臺灣六大半導體學院.....	145
圖 5.4、臺灣半導體異質整合技術波特五力分析.....	146

表目錄

表 1.1、異質整合主要優勢	7
表 1.2、扇外型晶圓級與面板級技術比較.....	14
表 1.3、混合鍵合 W2W 與 D2W 比較.....	17
表 1.4、SoC 與 Chiplet 比較.....	26
表 2.1、Nvidia H100 與 H200 GPU 比較.....	40
表 2.2、AMD 3D 封裝架構特性	43
表 2.3、AMD 2.5D 封裝架構特性	43
表 2.4、晶圓廠與封測廠先進封裝技術布局	45
表 2.5、美國先進封裝相關之政策與計畫推動進程	62
表 2.6、歐洲晶片法案三大行動支柱	63
表 2.7、晶片聯合計畫第一批試點生產線徵案項目	64
表 2.8、日本發展先進封裝之具體策略	67
表 2.9、重點學研機構封裝發展方向	68
表 3.1、先進封裝設備產業目前所面臨的技術挑戰和機會	77
表 4.1、PCIe 及 CXL 互連技術比較分析.....	115
表 5.1、我國半導體異質整合 PEEST 外部環境因素分析總覽	135
表 5.2、我國半導體後段製程設備關鍵廠商	141
表 5.3、晶創臺灣方案四大布局策略.....	142
表 5.4、雲端服務大廠 AI 晶片之設計與製造商	149
表 5.5、我國半導體異質整合 SWOT 分析與策略.....	154

執行摘要

一、問題及目標

隨著半導體製程節點逐漸逼近物理極限，產業對高階晶片的需求依然持續增長，半導體異質整合技術因此成為未來發展的關鍵焦點。異質整合透過將不同製程節點的元件整合於單一封裝內，實現性能提升與多功能應用。然而，其發展面臨多重挑戰，包括異質材料的整合與設備開發、先進封裝技術的精進、共封裝光學元件(CPO)的整合、晶片散熱、Chiplet 設計與互連技術研發，以及相關 EDA 工具的開發等，均需突破以降低成本並提升良率。

為強化我國半導體異質整合技術的競爭力，並促進完半導體異質整合完整產業生態系的形成，持續確保在國際市場的重要地位，本報告從半導體異質整合技術的發展趨勢與應用切入，蒐研產業鏈現況及重點國家政策，探討異質整合技術及 Chiplet 互連介面的現況與挑戰，並進行產業分析，最終提出「促進我國半導體異質整合產業形成」的具體建議。

二、研究範圍及內容

本報告第一章首先探討半導體異質整合發展趨勢與應用；第二章蒐研產業鏈現況與重點國家政策；第三至四章研析異質整合技術以及 Chiplet 互連介面現況與挑戰；第五章進行我國異質整合產業競爭力分析與綜整發展策略；第六章研提促進我國半導體異質整合產業形成之建議；第七章則為結論與建議。

三、研究結論

(一) 異質整合與小晶片架構為推動半導體技術升級與應用突破的關鍵

異質整合技術作為延續摩爾定律並驅動半導體產業未來發展的關鍵，透過在單一封裝內整合不同製程與技術節點的元件，實現更高效能與更低功耗。此技術在高效能運算(HPC)、自動駕駛及 5G 通訊等前沿應用領域展現出巨大的發展潛力，成為各界競逐的焦點。結合同質整合技術，異質整合可提供更全面的系統整合解決方案，進一步優化整體效能。此外，小晶片架構(Chiplet Architecture)以模組化設計為核心，顯著提升設計靈活性與系統效能，同時降低開發成本與製造難度。該架構能夠支援多元化功能模組的無縫整合，縮短產品開發周期，為推動異質整合技術商業化提供有力支撐。

(二) 異質整合與矽光子技術將引領半導體產業下一階段發展

未來，異質整合與同質整合技術的結合將進一步提升元件的整合度與功能性，推動半導體技術向更高層次發展。其中，矽光子共封裝光學(CPO)技術透過將光學模組與矽基元件整合於單一封裝內，大幅提高數據傳輸效率，同時顯著降低能耗。這一技術突破，為應對日益增長的數據流量需求提供了關鍵解決方案。異

質整合與矽光子技術的協同發展，將成為高效能運算(HPC)和網絡基礎設施革新的重要基石。

(三) 領導廠商及各重點國家政策均積極推動異質整合技術之發展

全球 IC 領導廠商，如 Nvidia、AMD 和 Intel，正積極採用 Chiplet 架構，利用異質整合技術顯著提升產品性能，以滿足高效能運算與低能耗的市場需求。同時，這些技術的應用也進一步推動了先進封裝技術的演進。各國政府亦紛紛加速本土技術的發展，並提供政策支持以強化產業競爭力。例如，美國的《晶片與科學法案》、歐盟的《歐洲晶片法案》，以及日本針對半導體技術的推進計畫，均將先進封裝與異質整合視為半導體產業未來的關鍵技術，並著力推動其技術突破與應用落地。

(四) 半導體封裝技術已從 2D 邁向 3D

隨著人工智慧(AI)、高效能運算(HPC)、5G 通訊及物聯網(IoT)等應用對高性能、低功耗及小型化的需求日益提高，傳統的 2D 封裝已無法滿足產業需求。半導體封裝技術正快速邁向 3D 整合、Chiplet 架構及系統級封裝(SiP)等先進技術方向。並且，2.5D 與 3D 封裝技術，結合光學共封裝(CPO)與千瓦級散熱解決方案，將成為推動半導體產業發展的關鍵趨勢。然而，技術發展仍面臨多重挑戰，包括製程複雜度、成本管理及商業化應用落地等問題。因此，產業、政府、學術與研究機構需協同合作，聚焦技術創新與突破，共同推動半導體封裝技術的持續進步。

四、改善對策及建言

(一) 強化 IC 與 EDA 設計創新能力，打造完整在地供應鏈

臺灣在推動異質整合技術發展方面，應從多個層面進行強化與整合，包括：

1. 提升 IC 設計與創新能力

異質整合技術的應用需要更高效的 IC 設計能力與創新實力。臺灣應聚焦於開發符合市場需求的設計架構，強化本地 IC 設計業者在全球市場中的競爭力，確保其能滿足高效能運算、人工智慧等前沿應用的需求。

2. 推動本地化 EDA 工具發展

在軟體層面，推動本地化的異質整合 EDA 工具發展是當務之急。應積極扶植本土 EDA 公司，鼓勵其開發具備全球競爭力的設計工具。同時深化與國際領導企業（如 Synopsys、Cadence）的合作，借助其技術資源加速工具創新與應用，縮短技術研發週期，並降低設計成本，以全面提升臺灣在異質整合領域的技術優勢。

3. 支持本土設備與材料廠商

為支援異質整合製程的發展，政府應積極推動設備與材料供應鏈的在地化。

針對本土設備與材料廠商，應提供專項資金補助，鼓勵其研發符合異質整合技術需求的製程設備及關鍵材料，降低對國外供應商的依賴。同時，透過整合上下游資源，構建穩定且完整的國內供應鏈與產業生態系。

(二) 建立異質整合技術路徑圖，聚焦核心關鍵技術

為推動異質整合技術的全面發展，政府應聯合產業界、學術機構及研究單位，共同制定技術路徑圖，明確未來發展方向，重點包括：

1. 聚焦異質整合核心技術

有關異質整合技術之路徑圖應優先聚焦於關鍵技術領域，包括矽光子技術、玻璃基板及散熱解決方案等，這些技術將可能是異質整合應用實現高效能、高可靠性和微型化的重要支柱。

2. 技術成熟度與市場需求導向

根據不同技術的成熟度與市場需求，路徑圖應分為短期、中期及長期階段，分別規劃技術開發與應用的具體目標。短期內，可針對具備商業化潛力的技術進行快速研發與驗證；中期，則聚焦於關鍵技術的優化與應用擴展；長期，則專注於前沿技術的突破與創新。

3. 促進產官學研協作

透過建立技術路徑圖，促進產官學研之間的深度協作，使各方資源與專業能力得以有效整合。政府，可擔任引導者角色，提供政策支持與資金投入；企業，則專注於技術應用與市場需求；學研單位，負責核心技術的基礎研究與創新開發。

(三) 導入 AI 技術，驅動產業升級

全球主要國家大力推動 AI 與半導體產業的發展，紛紛投入大量資源，以搶占科技與市場領先地位。臺灣應積極採取相應策略，並藉以實現產業升級。

1. 擴大政府支持與獎勵措施

建議政府加大獎勵力度，透過政策誘因鼓勵國內廠商加強合作，集中資源投入異質整合技術與 AI 相關領域的研發。藉以促進產業內部的協同創新，並提升臺灣半導體產業的競爭力與不可替代性。

2. 推動異質整合與 AI 技術結合

透過異質整合技術的持續創新，將半導體技術與 AI 應用深度結合，為各產業提供高效解決方案。例如，藉由 AI 強化生產自動化、智能化與數據分析能力，可推動傳統產業邁向高附加價值化，實現全面升級。

(四) 深化國內人才教育與產學合作，強化國際人才吸引力

人才是驅動科技與產業發展的核心動力，臺灣在應深化國內教育與產學合作，

並加強吸引國際高端人才的政策支持。

1. 深化國內教育與產學合作

首先，在課程設計與跨領域融合方面，半導體學院應進一步規劃異質整合的專業課程，涵蓋從設計、製造到應用的全產業鏈技術，並鼓勵跨學科背景的學生加入，如機械、材料、化學等相關領域，為異質整合產業培養多元化的人才結構。其次，應積極推動企業實習計畫，即學校與產業界合作，提供學生更多的實習機會，讓其在校期間即可參與實際研發與應用專案，增強實務能力並加速進入職場的適應過程。第三，強化經驗傳承之師資，可延攬已退休的半導體及相關領域專家學者，參與教學與人才培育計畫，傳承寶貴的實務經驗與技術知識。

2. 強化吸引國際人才

為充裕優質人力資源，建議臺灣透過設立高額獎學金與稅務優惠計畫，吸引全球優秀人才來台深造與就業，同時優化簽證申請及轉換流程，降低行政障礙，強化臺灣作為全球人才首選目的地的吸引力。此外，推動國內教育體系與全球接軌，加速國際人才流入，打造吸引力強的教育與就業環境，為半導體及異質整合產業提供穩定且多元化的人才支援。

(五) 建構優質產業環境

產業發展離不開完善的基礎設施與穩定的能源供應。建議政府優先強化基礎建設，確保電力供應的穩定性與韌性，同時積極推動再生能源及儲能技術的應用，以回應企業對 ESG 目標與綠色供應鏈的需求。透過完善的基礎設施與可持續能源支持，進一步提升臺灣產業環境的競爭力與永續性。

財團法人中技社

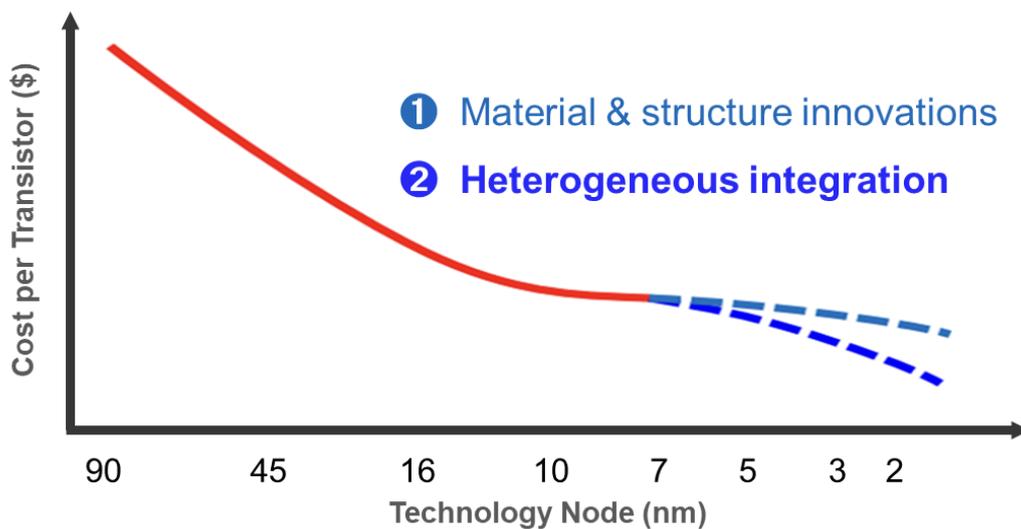
第一章 半導體異質整合發展趨勢與應用

科技日新月異的時代下，半導體技術已成為推動百工百業創新的核心動力。展望 2024 年，新興 AI 應用及 ChatGPT 等大型語言模型的推波助瀾，全球半導體營收將超過 6000 億美元，預估到 2030 年全球半導體營收將首次超越 1 兆美元里程碑。

然而，隨著應用的多元化和複雜性的提升，工藝技術的進步正面臨瓶頸，電晶體單位成本的降低速度逐漸放緩。摩爾定律自提出以來，預測晶片上的電晶體密度每 18 至 24 個月將增加一倍的趨勢，並推動半導體產業的飛速進展。然而，隨著工藝節點面臨物理極限，電晶體微縮技術接近瓶頸，高額的研發成本導致先進製程技術門檻提升、開發時程延長，產業變革難以推進。

在此背景下，異質整合技術的成為延續摩爾定律的關鍵。透過將不同製程節點的元件在同一封裝內協同運作，實現性能的提升和成本的控制。由圖 1.1 顯示，隨著技術節點的縮小，摩爾定律的延續越發依賴於與晶片的異質整合，不僅突破傳統製程的限制，提高電晶體密度，亦顯著降低單位面積下的成本，在高效能的需求下，異質整合確保晶片達到更小的封裝形式、整合更複雜的功能，為半導體產業開闢廣闊的發展空間，更滿足終端應用在 5C(Computer, Communication, Consumer, Control, and Content)市場的多變需求。

本章將從基本概念出發，探討異質整合技術的定義與源起、應用需求及未來潛力市場，進而定位出異質整合在推動半導體產業持續發展中的關鍵角色。

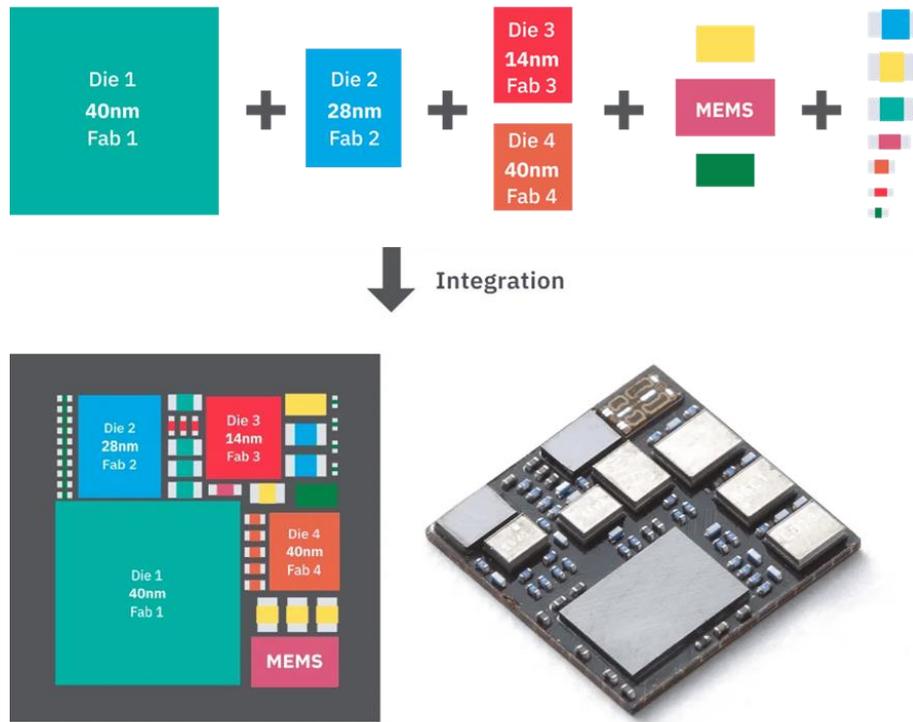


資料來源：台積電、工研院產科國際所 (2024)

圖 1.1、異質整合為延續摩爾定律的關鍵

一、異質整合之基本定義與技術發展趨勢

根據 IEEE 和其他業界協會聯合制定之 HIR(Heterogeneous Integration Roadmap)下定義，異質整合是將單獨製造的不同元件，例如來自不同技術節點的晶粒(Die)、各種來源的元件、MEMS 與感測器，整合到一個封裝(Package)中，形成更高層次的組件，如下圖 1.2 所示，此種整合方式能夠在整體上提供更強大的功能和更優的運行特性。



資料來源：ASE (2019)

圖 1.2、異質整合基本概念示意圖

異質整合技術藉由先進的封裝技術，有效地在性能和成本之間達成最佳化。I/O 數量指的是晶片與外部電路之間的連接數量，通常透過封裝中的引腳或觸點來實現，而異質整合所具備的高 I/O 數連接，可支持系統實現高速且穩定的資料傳輸，在提升頻寬與降低功耗的同時，亦顯著減少傳輸延遲。此外，異質整合提供卓越的設計彈性，使多種 IP 模塊可以無縫協作，允許來自不同供應商和技術的元件在同一系統中執行各自的功能，進一步提升系統的適應性與功能性。在散熱管理方面，異質整合透過優化熱能傳導路徑，能夠有效應對高效能運算過程中因功耗增加所帶來的散熱挑戰，確保系統在高效運行的同時保持穩定性。與此同時，異質整合亦具備高度的可靠性與快速量產能力，藉由可重複使用的組裝方法，能夠支持快速的產品迭代，縮短上市時間，從而增強市場競爭力。表 1.1 所列之優勢使得異質整合技術在高效能運算、人工智慧、5G、物聯網等領域開創多元的應用前景，逐漸成為半導體產業的重要發展方向，並推動該產業朝更高的技術水平邁進。

表 1.1、異質整合主要優勢

優勢項目	描述
高成本效益	透過先進的封裝技術實現性能與成本的最佳化
高 I/O 數連接	提供高效能、高頻寬的封裝內 I/O 連接，支持多種封裝外 I/O 協議，顯著提高數據傳輸效率並降低延遲
設計靈活性	支持多種 IP 模塊整合，允許來自不同供應商和技術節點之元件協同工作，適應多樣化的應用需求
高散熱管理	有效管理封裝內的散熱需求，支持複雜的功率傳遞架構，確保系統在高效運行的同時保持穩定
可靠性與快速生產	提供高可靠性的組裝方法，支持高精度和快速組裝，縮短產品的上市時間，強化市場競爭力

資料來源：工研院產科國際所 (2024)

(一)從異質整合到系統微縮，推動半導體產業典範轉移

回顧異質整合技術的發展歷史，1980 年代 IBM 率先開始研究如何有效整合不同種類的元件，然而，由於當時技術成本高昂且市場需求尚未成熟，這些研究在當時少有實質進展。直到 1990 年代末至 2000 年代初，隨著行動智慧設備的快速崛起，如 PDA、手機和數位相機，市場對小型化、低功耗且多功能的電子系統需求急劇增加，為異質整合技術的進步提供新驅動力。與此同時，臺灣 ITC、ODM、EMS、矽製程及封裝產業逐漸擴大成為全球供應源產業重鎮；臺灣因此頗具 IC 實力領先證實新產品及觀念：「Known Good Dice, KGD 完全裸晶」，並且在鈺創與台積電/世界先進等公司努力下，大量出貨裸晶 SRAM 與 DRAM Dice 至 Intel，Intel 再運用日月光與鈺創協同下，將 Intel Flash+RAM 多元晶粒完成一體封裝，形成全球大規模之 HI (異質整合) 產品出貨之始，也為臺灣推動「IC 異質整合」進入全球半導體產品之起點。

在理解異質整合技術的進步時，可以將其置於更大的矽技術演進框架下來考量：

1. 矽 2.0：此階段標誌著半導體技術從平面電晶體轉向 3D 結構，如 3D NAND 記憶體和 3D 晶體管（如 FinFET）的誕生，透過增加晶片的垂直堆疊密度來延續摩爾定律，並在有限的平面空間內實現更多的功能。
2. 矽 3.0：此階段進一步推進異質整合技術的應用，將多種不同技術的晶片（如數位、類比、記憶體和射頻等）垂直堆疊在一起，並且透過成熟的已知良品記憶體(KGDM)技術來提高系統的可靠性和性能，這極大地提高每平方毫米的晶片功能密度，推動電子產品的小型化與功能整合。

3. 矽 4.0：當前，我們正逐漸邁入矽 4.0 時代。在這一階段，異質整合技術將不再局限於矽材料的整合，而是開始納入更多的非矽材料，如碳奈米管、III-V 族半導體等，以進一步提升系統的整體性能和功能價值。矽 4.0 強調的是「功能x價值」的比例，這意味著不僅僅是技術縮放，還要透過異質整合設計來創造更高的價值，從而實現新一輪的經濟成長，並開啟全新的虛擬摩爾定律經濟時代。

隨著矽技術的不斷演進，異質/同質整合技術將在矽 4.0 時代發揮更為重要的作用。這一技術將融合多種非矽材料，創造出更高價值的奈米系統，進而推動半導體產業進入新的經濟時代。這些技術的持續創新，將在高效能運算、物聯網、人工智慧等領域發揮至關重要的作用，並繼續推動產業的革新和發展。隨著技術的發展和應用需求的成長，半導體產業的未來充滿潛力和機遇。

同時在另一方面，從 2011 年起，隨著台積電 3DFabricTM（早先此技術平台稱為台積電晶圓級系統整合技術 WLSI- Wafer Level System Integration Technology）的問世，推動半導體產業進入全新的「先進系統整合」階段，同時提供異質與同質元件整合，更將半導體技術與設計提升到系統層面，提供「系統微縮」(System Scaling Up)、與「系統擴增」(System Scaling Out) 的關鍵能力。為奈米級系統整合技術在系統效能、功耗、面積(PPA)上產生重大改進，還加入系統體積(PPV)的考量，從而成為大數據、智能手機、人工智能、乃至於生成式人工智能等，近年來重要的半導體應用的關鍵推手。在摩爾定律艱難難繼的時代，非但防止產業規模萎縮，反而繼續加速台灣，乃至全球半導體的持續發展。

台積電在開發 3DFabricTM 創新晶圓級系統整合技術的考量，既期望藉助台積電在晶圓技術的核心競爭力，也特別留意於藉力 SoC 時代，已建立的供應鏈合作夥伴，以及強大基礎設施技術(Infrastructure)，如 EDA、IP、無鉛金屬微凸塊、覆晶、高階基板，甚至於晶圓廠內管控效率、良率等的軟體、硬體技術設施，將先進系統整合發展過程中與時俱進，達到雙贏的效果。舉例言之，台積電在設計領域的藉力與創新，體現於其系統技術協同最佳化(STCO)的方法。此為 SoC 時代晶片設計與晶圓技術協同優化(DTCO)最自然，也最有效率的延伸。在設計早期階段即考慮整個系統的需求，進行技術調整和優化，以確保各個模組在最終整合後能夠達到最佳性能。設計團隊可以非同步的方式進行作業，選擇最佳的製程技術，並進行電源完整性和熱模擬的早期分析，從而減少設計後期的風險和失敗率。並且與合作夥伴以及客戶達到「三贏」的效果。也因 3DFabricTM 技術平台的成功，台積電推出「晶圓製造 2.0」(Foundry 2.0)，使晶圓代工進入新階段，更能緊握成長契機。而晶圓級系統整合技術在此演進中，扮演主要角色。

(二)異質整合封裝技術朝向更小接點間距，加速高密度互連

電晶體的微縮技術在過去幾十年中推動半導體業的快速發展，但如今已面臨物理極限和經濟成本的挑戰。隨著經濟效益逐漸減少，業界開不斷尋求創新的封

裝技術，以進一步提升系統整合度，其中包含以下幾個核心目標：

1. 更多通道：增加封裝內的連接通道數量，以支持更高密度的互連並提升整體效能。
2. 更細的“凸點/柱”間距：縮小晶片上連接凸塊(bump)的間距，實現更高密度的電氣連接。
3. 更細的線路間距：進一步縮小晶片內部線路的間距，以提升訊號傳輸速率並減少電磁干擾。
4. 更短的晶片間距離：縮短晶片之間的距離至微米級別，進一步降低訊號延遲並提升系統性能。

由圖 1.3 可見透過互連技術的推進，現代封裝技術持續追求 I/O 連接密度的提升及功耗的降低。

Packaging Interconnect Scaling	Bump	Microbumps	TSV	Hybrid Bonding
	I/O Density (I/O per mm ²)	10 ²	10 ³	10 ⁴
Energy (picoJ per bit)	1.5	0.5	0.1	0.05

資料來源：APPLIED MATERIALS (2024)

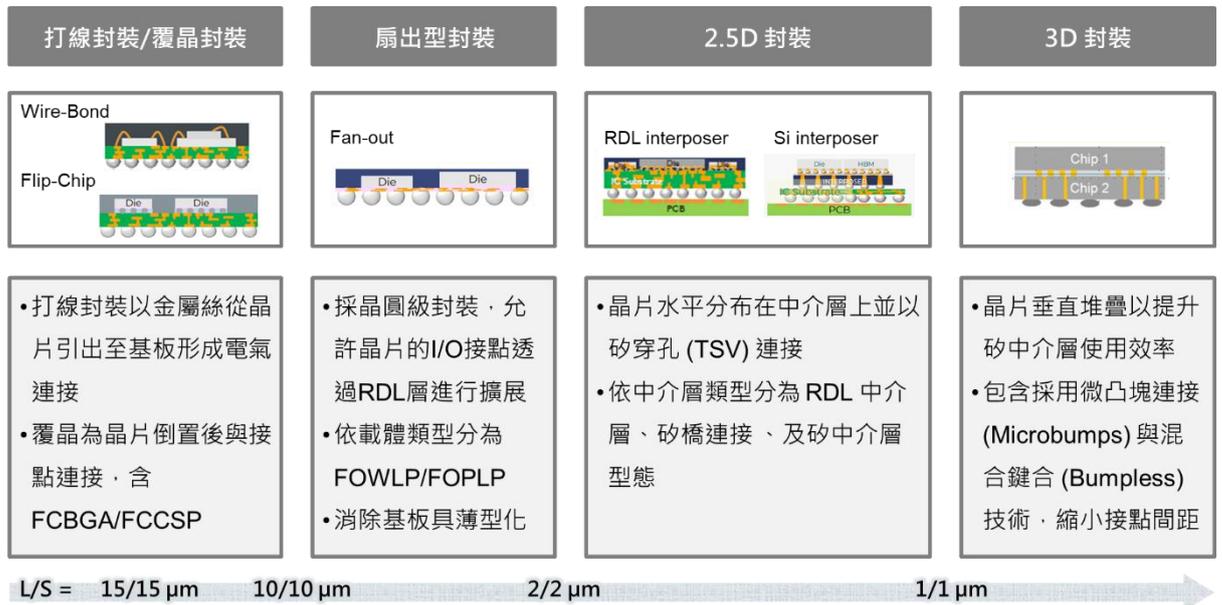
圖 1.3、封裝系統互連縮放趨勢

封裝技術在成本、效能、和微型化等方面的需求越發顯著，進而衍生出多種先進封裝型態，如圖 1.4 所示：

1. 成本 (Cost)：封裝成本在半導體製造中的佔比日益增加。相較於晶圓製造，封裝更需注重成本控制，以確保整體製造的經濟效益。
2. 效能 (Performance)：隨著高效能計算需求的提升，封裝技術必須能支持高效能晶片的運行。高效能封裝不僅要提供優異的散熱管理和電氣性能，還需減少功耗和訊號延遲。
3. 微型化 (Form-factor)：隨著電子產品從電腦到手機，再到穿戴裝置的不斷微型化，封裝技術必須適應不同應用場景的空間限制，提供更小體積的封裝解決方案。

在封裝技術的發展中，愈朝向高階封裝（如 2.5D/3D-IC），代表晶片整合後的效能愈高、功耗愈低，但由於良率較低，成本也隨之增加。因此，在不同應用上，如 FOWLP(Fan-Out Wafer-Level Packaging)更適合消費性產品，而 2.5D/3D-IC 則多用於高速運算晶片。整體而言，封裝技術不僅在提升效能、降低功耗和實現微型化方面發揮關鍵作用，更是異質整合得以實現的核心基礎。透過精密的封裝技

術，異質整合可以在更小的體積內整合更多功能，並進行完整且高效的測試，從而滿足現代半導體應用的要求。



資料來源：工研院產科國際所 (2024)

圖 1.4、異質整合系統級封裝技術朝高互連密度發展

以下將簡介幾種主要的系統級封裝技術，探討各類封裝型態之發展與特性。

1. 打線封裝

打線封裝(Wire Bonding)透過使用細金屬線將晶片(Die)上的訊號連結到基板，進而實現內部電路與外部電路(如印刷電路板)之間的電氣連接，適用於中小型晶片，由於其製程成熟、成本低廉且佈線彈性高，目前仍在封裝技術中佔有穩定之市場份額。打線封裝的過程始於將一根細線(金屬線材直徑約 15-50 微米)放置在纖細的鍵合工具末端。透過機械設備施加精確的壓力，將細線壓至晶片的鍵合墊(bond pad)上，這一步稱為第一焊點(First bond)。隨後，使用超聲波設備產生機械振動，透過鍵合工具傳輸至焊接點，而摩擦力產生的局部熱能將加速金屬間化合物的形成，進而確保牢固的鍵合。接著，細線被拉出並移至導線架(lead frame)上的對應位置，完成第二焊點((Second bond)。此過程稱為球結(Ball Bonding)，在結束時會在第二焊接點處壓上一顆金屬球，增加接合強度。

打線封裝技術使用的主要金屬線材包含金線、銅線、鋁線等，其中金線主要用於高階應用。導線架則是封裝中不可或缺的一部分，通常是金屬製成，用來支撐和連接晶片。每一根線都必須逐一完成接合，這使得該技術在封裝速度上較為緩慢，且封裝體積相對較大。在打線封裝中，主要使用導線架與金線進行接合，晶片四周必須設有黏著墊(Bond pad)，而導線架的金屬接腳(蜈蚣腳)也需製作在積體電路封裝外殼的四周，意味著隨著晶片中元件數量的增加，所需的金線數量也會增多，但由於晶片四周空間有限，封裝外殼的接腳數目也受到限制，致使打

線封裝在處理高 I/O 數量的情況下具有一定的挑戰。

2. 覆晶封裝

覆晶封裝(Flip Chip)技術是將積體電路直接翻轉，並利用凸塊將晶片上的接合墊與基板相連接的先進封裝方法。其起源於 1960 年代，當時由 IBM 在大型主機組裝中開發 C4(Controlled Collapse Chip Connection)技術。該技術的誕生標誌著覆晶封裝的開端，並逐步推動其在微處理器、繪圖處理器和電腦晶片組等高效能應用中的商業化進程。隨著市場對高效能和高密度封裝需求的成長，覆晶封裝迅速成為主流技術，廣泛應用於各種半導體產品中。

覆晶封裝的製程開始於晶片表面的金屬化處理，這一過程中會在晶片的接合墊上生成錫鉛凸塊，這些凸塊將在後續製程中用來連接基板。具體的製程步驟包括：首先在晶圓上完成積體電路的刻劃，接著在接合墊上鍍上一層底部金屬層(UBM)以準備焊接。隨後，將錫鉛沉積在每個接合墊上，並在高溫下進行迴鍍製程，形成凸塊。接著，晶片被切割並翻轉，使其準確對位於基板上的焊接點。加入助鍍劑後，進行重熔焊接，使晶片穩固地連接到基板上。最後，在晶片與基板之間填充電氣絕緣膠，並進行烘烤以確保封裝的穩定性。

由於覆晶封裝技術允許晶片直接翻轉過來，使 I/O 接腳可以以陣列方式排列在晶片表面，大幅提高 I/O 密度，能夠在有限的空間內增加更多的接腳數。此外，覆晶封裝還包含多種封裝型態，例如覆晶 BGA 封裝(FCBGA)，常見於大尺寸需要高 I/O 數的裝置中；以及銅柱凸塊封裝(Copper Pillar Bump)，相比傳統的錫球封裝，銅柱凸塊具有更好的散熱、導電性能，適合應用於需要更高精度和更小間距的封裝技術。

覆晶封裝技術具有多項優勢。其提供優異的電氣性能，覆晶封裝能夠縮短訊號傳遞路徑，減少阻抗效應和訊號損耗，適合高頻應用。其次，覆晶技術相較於傳統的打線封裝，能夠減少封裝尺寸，增加單一晶圓的產出數，進而降低成本。此外，覆晶封裝還具備優良的散熱性能，其晶片背面可以直接與空氣接觸，這樣的設計能有效散熱，提升高時脈、高整合度晶片的運行穩定性。然而，覆晶封裝技術也面臨一些挑戰，其要求在鍵合時具有極高的對位精度，特別是對於使用銅柱凸塊的應用，需要精密的設備和工藝。此外，隨著覆晶封裝技術的發展，焊接過程中的溫度曲線控制變得更加複雜，增加製程上的難度。

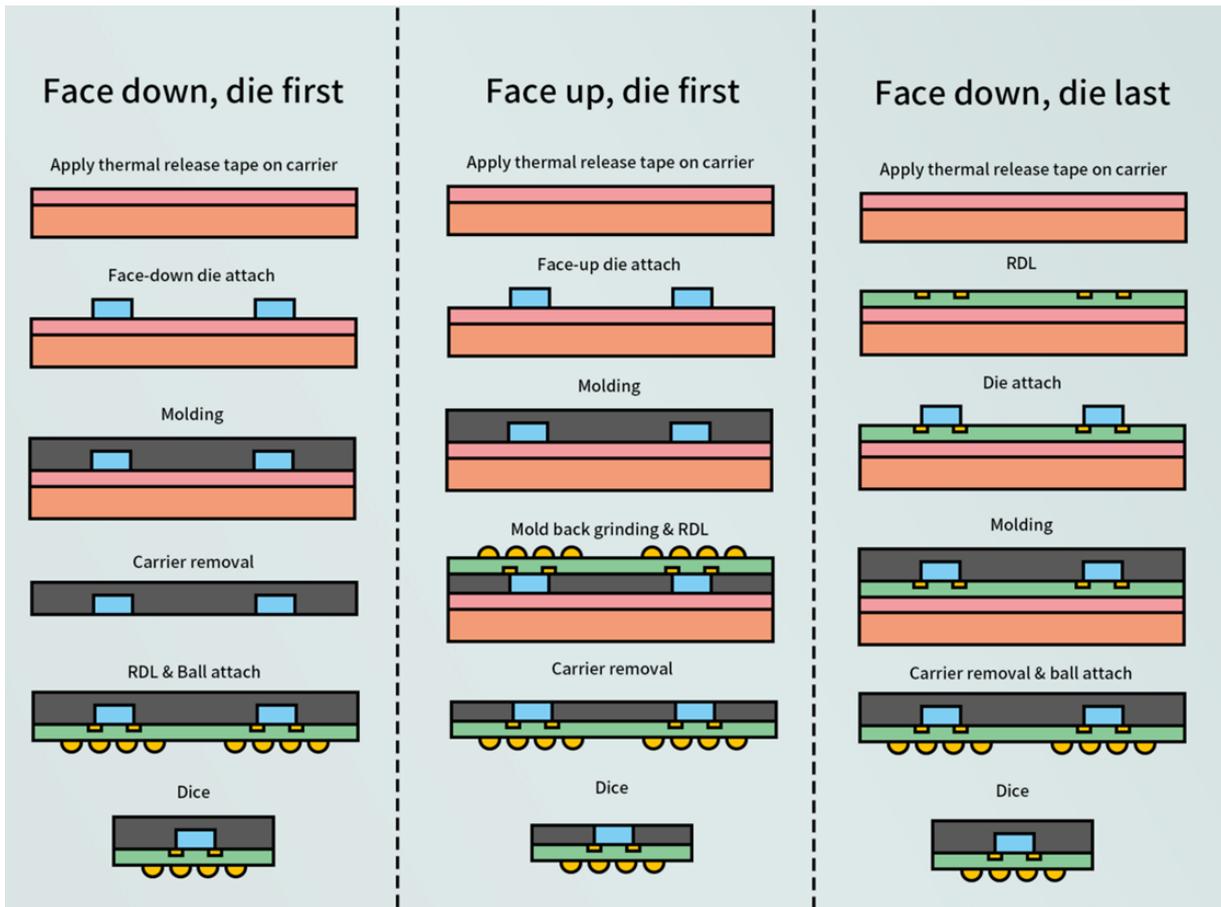
3. 扇外型封裝

扇外型封裝(Fan-Out Packaging)以其獨特的結構和製程方式，在過去幾年中逐漸成為業界關注的焦點。其兩大特點包含其採用晶圓級製程，對整塊晶圓進行封裝後再切割成小晶片，由於不需要使用基板和導線架，使得晶片的尺寸得以縮小。其次，扇外型封裝允許接點透過重分佈線層(RDL)來擴展，不再受限於晶

片的面積，錫球的布局可以從晶片中心的凸塊陣列重新分佈到封裝體的邊緣，實現更高的連接密度。這樣的設計還帶來散熱性能的提升，相較於覆晶封裝，扇外型封裝可以透過降低熱阻和改善熱散性能，提供 10%至 30%的熱性能提升。

扇外型封裝技術的發展起源於 2008 年，由星科金朋(STATS ChipPAC)、意法半導體(STMicroelectronics)和英飛凌(Infineon)共同合作，在英飛凌的第一代嵌入式晶圓級球閘陣列(eWLB)技術基礎上開發出新一代的 eWLB 技術。儘管扇外型封裝起步較晚，但由於其主要依賴晶圓級封裝設備進行製程，並且繞線層使用薄膜(Thin Film)技術，使其在高密度線寬線距(Line/Space<8/8 um)製程方面具有顯著優勢。根據封裝密度和 I/O 數量的不同，扇外型封裝可分為低密度(Low Density)和高密度(High Density)兩種類型。低密度封裝主要應用於面積介於 $3 \times 3 \text{ mm}^2$ 至 $10 \times 10 \text{ mm}^2$ 之間且 I/O 數量小於 400 的晶片，廣泛用於通訊模組和感測器等領域；而高密度封裝則適用於 I/O 數量達到 900 至 1300 的高階處理器，如智慧型手機的應用處理器(AP)和 CPU+GPU 的整合。

扇外型封裝可以根據晶片的放置順序及方向，進一步分為不同的製程方式。如下圖 1.5 所示，以 die-first face-down 製程為例，晶片的電路面朝下置於臨時載體上，經過模塑(molding)處理後移除載體，然後進行標準的晶圓級封裝流程，包括表面保護、圖案化、RDL 製作和焊接，最後進行切割。由於這種製程無需在晶片與 RDL 之間添加額外的聚合物(polymer)，因此連接路徑最短，適合高頻應用中實現最佳性能。另一方面，Chip-Last 製程則更適合高階晶片。這種製程先在載體上製作 RDL 層，然後放置已經通過測試的良品晶片(KGD)，進行模塑和研磨，在 RDL 層做好且檢測完成後再放置晶片，這樣可以避免在存在訊號中斷或線路斷裂的 RDL 上放置晶片，從而提高良率。這種製程對於高成本、高效能晶片尤為適合。



資料來源：Wikipedia (2024)

圖 1.5、扇外型封裝流程比較

此外，扇外型封裝還可以依載體的不同分為晶圓級封裝 (Wafer-Level Packaging, WLP) 與面板級封裝 (Panel-Level Packaging, PLP)。面板級封裝採用方形面板替代圓形晶圓，從而提升面積利用率，在單位面積下顯著提高晶片封裝的產能，也因為能同時處理更多晶片，進一步降低封裝成本。根據估算，以 12 吋晶圓轉向使用 600mmx600mm 的大尺寸面板載體為例，其封裝裸晶顆數可提升 2~3 倍，成本可降低至少 20%~30%。

然而，面板級封裝目前尚未達到晶圓級封裝的成熟度，主要挑戰在於良率的維持。生產過程中，由於晶片、載體和環氧模塑化合物 (EMC) 之間的热膨脹係數 (CTE) 不匹配，模具會產生應力，加上翹曲的影響，晶片會出現移位導致良率下降。在扇出封裝製程中，重新建構晶圓經過加熱與冷卻時的热漲冷縮，會導致晶圓產生翹曲行為。隨著 FOPLP 的尺寸增大，翹曲問題愈發嚴重，需要開發專門的工具來處理大尺寸面板。FOWLP 與 FOPLP 比較請參閱下表 1.2。

表 1.2、扇外型晶圓級與面板級技術比較

封裝技術	FOWLP 晶圓級	FOPLP 面板級
主要載體	圓形晶圓	方形載板
載體尺寸	較小	較大
生產成本	較高	較低
線寬線距	較低	較高
量產情況	多數量產	少量生產
標準化建立	✓	✗
設備要求	較高	較低
生產難題	錫球裂縫、RDL 層佈線問題	晶片移位、翹曲、接點彈開問題

資料來源：工研院產科國際所 (2024)

總體而言，扇外型封裝技術憑藉其高密度、低熱阻和多樣化應用，已成為現代半導體封裝的主流選擇之一，並且隨著技術的進步，將在未來迎來更多的發展機會。在接下來的技術發展中，扇外型封裝將進一步推動半導體產業的進步，並可能與 2.5D 封裝技術相結合，帶來更高效的系統整合解決方案。

4. 2.5D 封裝

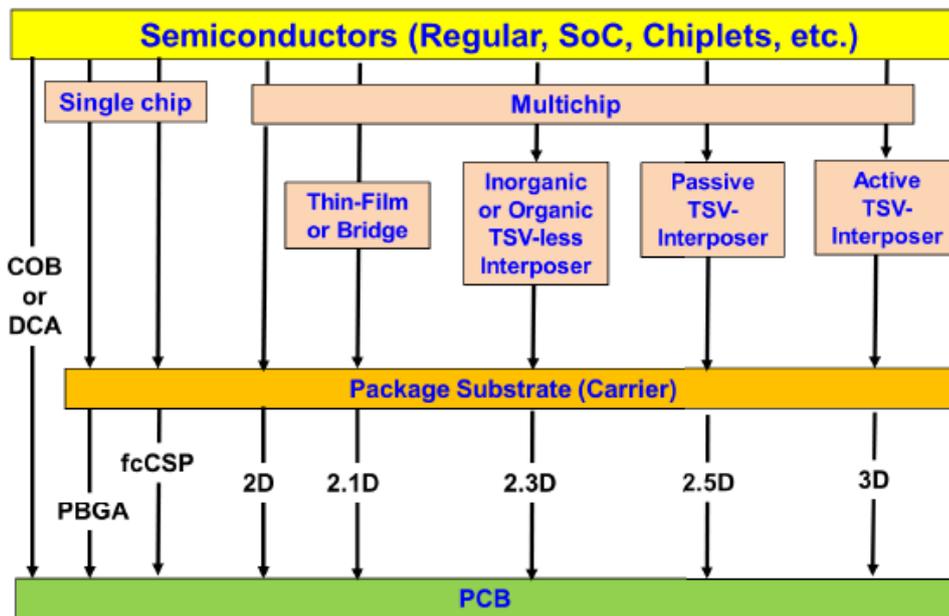
2.5D 矽中介層封裝主要藉由使用矽中介層實現多個晶片之間的高效數據和電力傳輸。在此封裝技術中，晶片被水平放置在一個薄片矽晶圓上，該晶圓內含高密度的導線、電容以及其他被動元件，用於不同晶片之間的高速、低延遲連接，從而大幅提升系統的整合度和性能，並顯著減少電路延遲和散熱問題。其中，矽穿孔(TSV, Through-Silicon Vias)技術為關鍵元件之一，其允許在垂直方向上穿透整個矽中介層，從而實現更高的 I/O 密度和更快的訊號傳輸。透過 TSV 技術，2.5D 封裝可以在有限的物理空間內整合更多功能模塊，同時減少數據傳輸的瓶頸。

關於 2.5D 矽中介層封裝的發展，始於 2012 年由台積電首度量產，該技術最初應用於 Xilinx 的 FPGA 產品中，主要用於邏輯與邏輯的同質晶片整合。隨後，2.5D 技術逐漸應用於邏輯與記憶體異質晶片整合，已經成為高效能運算處理器、FPGA 以及 AI 相關晶片的主流封裝選擇，如 NVIDIA 的 GPU 晶片，因其在運作效能和功耗方面具備顯著的競爭優勢，支持包括高速運算、超級電腦等高階晶片整合的需求。

與 2D 封裝技術相比，2.5D 封裝提供顯著的性能和整合度優勢，然而，這也帶來更高的成本和技術挑戰。矽中介層是最常用的解決方案，但其成本高昂使得部分客戶轉向嵌入式矽橋接(Embedded Si Bridge)技術。嵌入式矽橋利用小型的矽片或橋接結構，嵌入在封裝基板中，以作為不同晶片之間的互連媒介，此矽橋含有細微的導線，用來提供多個晶片中的電路連接。其為成本較低的替代方案，儘管目前應用量較少，但其成本效益平衡特性使其在未來具有較高的成長潛力。

根據中介層形式的不同，又可進一步細分為 2.1D、2.3D 和 2.5D 三種類型(請參閱圖 1.6)：

1. 2.1D 封裝：介於 2D 與 2.5D 之間的技術。2.1D 封裝透過在基板上增加 RDL 薄膜來替代矽中介層，實現更精密的橫向互連，避免了 TSV (矽穿孔) 技術的高成本，同時提供比 2D 封裝更高的性能，但仍局限於單一平面，在整合密度和性能提升方面有所限制。
2. 2.3D 封裝：2.3D 封裝進一步發展，採用了有機中介層來取代 TSV 矽中介層，使元件之間能進行有限的垂直互連。雖然相比於 2D 和 2.1D 封裝，2.3D 封裝提供更高的性能，但由於垂直互連的程度有限，該技術尚未完全發揮出垂直堆疊的優勢。
3. 2.5D 封裝：2.5D 封裝技術使用矽基穿孔通孔 (TSV) 中介層來連接多個晶片或晶粒。晶片並排放置在中介層上，允許更密集的互連，這大幅提高了元件之間的通訊速度。相比於 2D 和 2.1D 封裝，2.5D 封裝支持更高的性能和更大的整合密度，但也因 TSV 中介層的複雜性和高成本，使得封裝成本提高。



資料來源：Unimicron (2022)

圖 1.6、先進封裝的分類：2D、2.1D、2.3D、2.5D 和 3D IC 結構示意圖

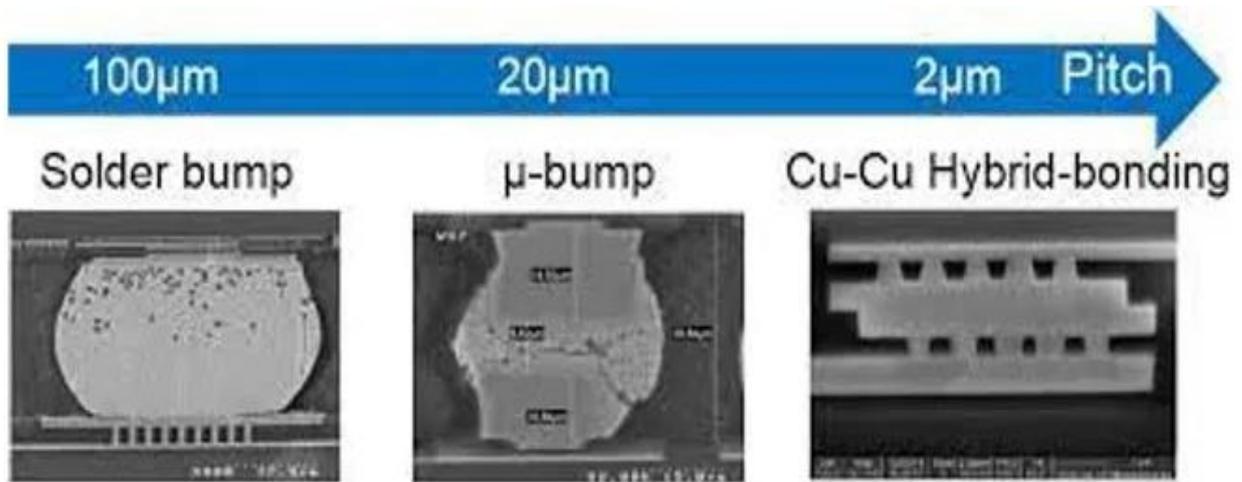
2D 封裝主要應用於消費性電子產品及物聯網設備，具備成本效益；而 2.5D 封裝則針對 HPC 等先進科技，提供更高效能的解決方案，反映不同封裝形式針對多樣化的應用需求進行優化。目前，2D 封裝技術正透過現有製程的升級，結合 RDL 層及嵌入式技術，有效降低成本並提升整體性能。此外，廠商之間在大型面板生產領域的合作，也被視為未來發展的重要趨勢。

5. 3D 封裝

3D 封裝技術透過在三度空間上垂直堆疊多個晶片來顯著提高晶片的效能，降低功耗，同時節省空間。亦透過 TSV 技術，晶片之間的垂直互連不再依賴傳統的打線鍵合，而是透過在矽晶圓上直接打孔來實現，大幅縮短晶片之間的互連距離，減少訊號傳輸的延遲，並提高數據傳輸的速度與頻寬。同時，3D 封裝能夠實現更高的整合度和更輕薄短小的封裝形式，使其在高效能運算、人工智慧和超級電腦等應用中具備顯著競爭優勢。

2000 年代初期，最早的 3D 封裝探索集中在如何有效地垂直連接多層晶片。2004 年，Intel 首次展示 3D 版本的 Pentium 4 處理器，這是 3D 封裝技術在業界的首次亮相。隨後，該技術在 2007 年推出的 Teraflops Research Chip 中得到進一步應用，這款實驗性的 80 核心設計使用堆疊式記憶體來實現高效能。然而，首款商業化量產的 3D 封裝產品是 2012 年 Intel 推出的 Ivy Bridge-E 處理器系列，其利用 TSV 技術提升性能，並開啟 3D IC 技術的蓬勃發展。

在 3D 封裝的發展過程中，微凸塊(Microbump)技術是實現晶片垂直互連的重要一環。微凸塊的尺寸逐漸縮小，從最初的 40 μm 間距縮小到 20 μm 。然而，隨著間距進一步縮小至 10 μm 以下，技術挑戰也隨之增加。為了解決這一問題，業界開始轉向混合鍵合(Hybrid Bonding)技術，使用小型銅對銅連接，完全避免使用微凸塊，從而實現更小的接點間距和更高的互連密度（如下圖 1.7）。混合鍵合技術可提供更高的頻寬、更好的功率和訊號完整性，是未來 3D 封裝技術發展的重要方向。



資料來源：SEMICONDUCTOR ENGINEERING (2019)

圖 1.7、3D 高密度互連間距演進

在混合鍵合技術中，有兩種主要的方式：裸晶對晶圓(Die-to-Wafer, D2W)和晶圓對晶圓(Wafer-to-Wafer, W2W)。W2W 技術主要用於記憶體的 3D 堆疊，這種技術在製程上較為成熟，但最大的挑戰是良率問題，因為每片晶圓上可能存在缺

陷，當兩片晶圓疊合在一起時，這些缺陷會導致整個 3D IC 的良率下降。相較之下，D2W 技術則允許在進行鍵合前，先挑選出良好的晶片進行整合，從而提高整體的良率，並且還能夠整合不同尺寸的晶片，彈性更高，然而，技術複雜性亦相對提升。請參閱下表 1.3。

表 1.3、混合鍵合 W2W 與 D2W 比較

堆疊方式	W2W 晶圓對晶圓混合鍵合	D2W 裸晶對晶圓混合鍵合
製程	將兩個晶圓貼合在一起	將個別尺寸較小的裸晶粒鍵合到另一片晶圓
應用	記憶體堆疊	邏輯 IC-邏輯 IC 邏輯 IC-記憶體
優勢	高對準精度 製程技術成熟	適用不同大小晶片 高 KGD 鍵合良率
允許不同大小的晶粒	否	是
允許已知良品堆疊 (KGD)	否	是
單層中多晶粒堆疊	否	是

資料來源：工研院產科國際所 (2024)

此外，晶片對晶片(Die-to-Die, D2D)技術，允許多個 Die 之間的直接鍵合，進一步提升封裝的整合性。然而，由於 D2D 技術中每個 Die 的測試和排列都是獨立進行的，因此其良率和製程控制的難度也更大。儘管 D2D 技術在理論上具有很高的潛力，但由於其技術挑戰較大，因此在現階段，D2W 和 W2W 技術仍然是主流選擇。

總體而言，3D 封裝技術代表半導體封裝技術的前沿發展方向。透過垂直堆疊晶片，實現更高的整合度和性能，同時利用混合鍵合技術來進一步縮小接點間距，3D 封裝技術為高效能電子產品的發展提供了強大的技術支持，將在未來的半導體產業中扮演越來越重要的角色。

除了封裝結構的推進，在提升單一封裝內電晶體密度的需求下，玻璃基板正逐漸成為晶片技術的重要趨勢。因應 AI 運算能力的要求，玻璃基板被視為高階封裝的理想載體，而隨著台積電 CoWoS 產能的提升，玻璃基板和穿透式玻璃通孔(TGV)技術的需求預計將逐步成長。

相較於矽基板，玻璃基板成本更低、損耗更小，且可多容納 50%的小晶片。玻璃基板亦具更高的耐熱性，能讓晶片穩定在高效能運行狀態，並有效改善基板膨脹及翹曲問題，減少破片風險。然而，玻璃基板製造仍面臨技術挑戰。雖然通孔可製作成多種直徑和形狀，但通孔的高深寬比（直徑與深度的比值）及錐角的精度要求較高，在追求高密度、高良率的生產中，通孔製造需達到無缺陷標準，極具難度。大型玻璃公司（例如 Corning、AGC）能夠提供穩定的材料品質，而小公司則難以保證。此外，玻璃材質的易碎性使得鑽孔與電鍍製程更具挑戰，需要

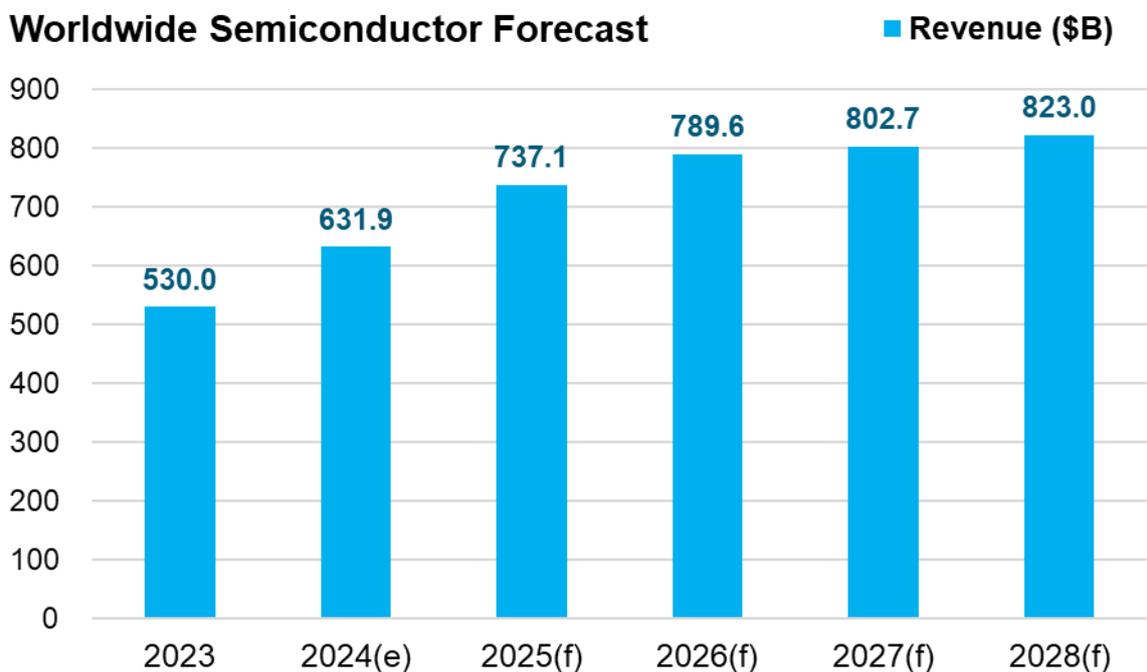
克服破損風險。目前預計至少需要約 5 年的時間，玻璃基板才得以接近商業化應用的標準。

二、異質整合之應用領域與市場需求現況

隨著半導體技術進展，晶片的儲存容量與可靠性逐步提升，推動電子元件的小型化與設計的精巧化，使電子終端產品朝向低價格、多功能、高效能及高整合度的方向發展。不同應用領域對技術的需求各異，例如 AI 伺服器著重效能，消費性 IoT 產品則強調低價格與微型化，而異質整合技術在這些方面均能滿足。本節將深入探討異質整合技術在各領域的應用現況及其市場需求。

(一)異質整合推升半導體總體市場持續進展

異質整合技術的推動正促進半導體市場的持續進步。根據 Gartner 的數據統計，2023 年全球半導體市場規模為 5,300 億美元，年衰退 11.7%，主要因為終端市場需求疲弱以及供應鏈庫存去化。然而，隨著供應鏈庫存調整及終端市場需求回溫，2024 年全球半導體產業市場預計將成長 19.2%，達到 6,319 億美元的規模。展望 2025 年，市場成長勢頭有望持續，預估規模將突破 7,000 億美元，年成長率為 16.7%。預計到 2028 年，市場規模將達到 8,230 億美元，2023 至 2028 年的年複合成長率為 9.2%，顯示出半導體市場的穩健發展。請參閱下圖 1.8。



資料來源：Gartner (2024/07)

圖 1.8、2023 年~2028 年全球半導體市場預測

異質/同質整合的市場形成關鍵在於價值創造，例如生成式 AI 大幅提升 AI 伺服器的價值，而異質整合技術能將高效能的 SoC 與 HBM 進行整合，為商業應用

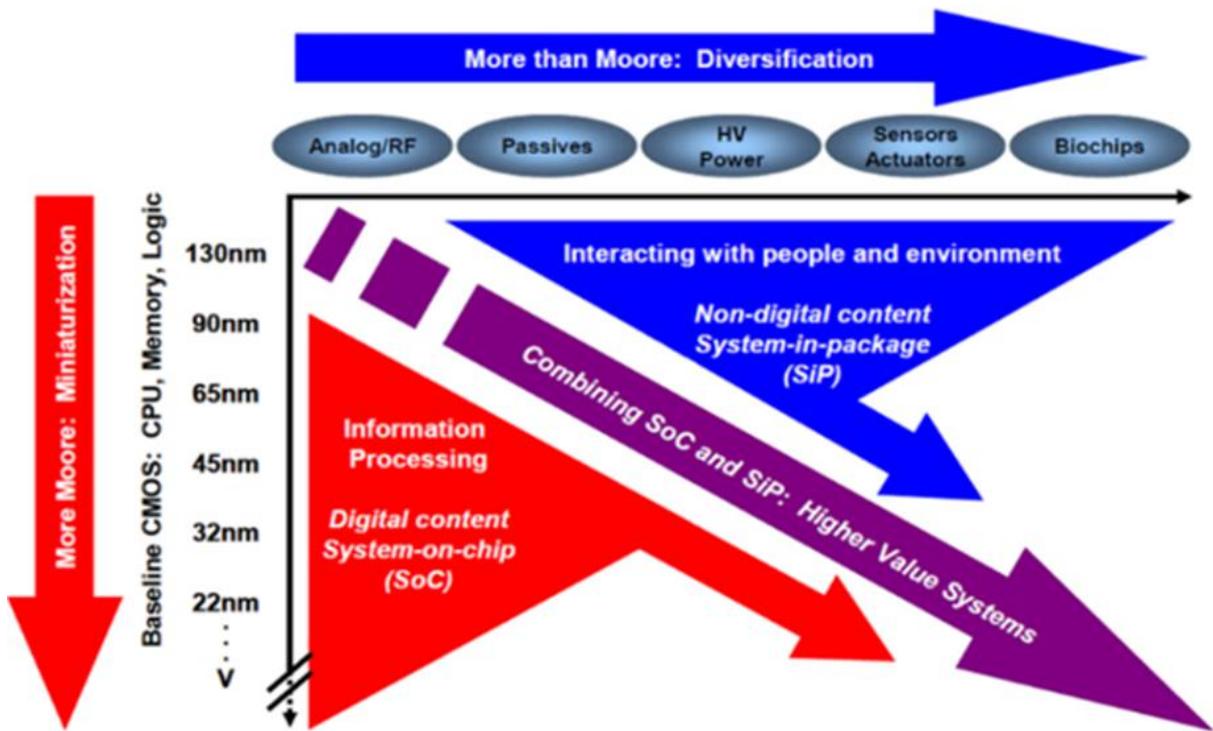
帶來更多可能性，故即便這些元件價格昂貴，但其帶來的性能提升直接創造更高的商業價值。而被市場接受。又例如軟體定義車輛(SDV)的興起推動車內運算架構的集中式設計，而異質/同質整合技術可在自動駕駛輔助系統、資訊娛樂系統、儀表盤等方面協助提升整體性能。SDV 創造的售後價值更新與服務也提升其在汽車產業中的價值，進一步促進異質整合技術的需求成長。

此外，智慧製造和工業 4.0 計畫也推動異質整合技術的應用。工業物聯網(IIoT) 解決方案日益普及，感測器、執行器、控制器、通訊模組和資料處理單元必須整合為一個連貫系統，異質整合技術使得這些工業元件無縫整合，並支持預測性維護和流程優化。而工業 4.0 強調整個生產過程的數據整合，能夠更有效地實現分析驅動的決策，並整合來自多個來源的數據，從而大幅提升智慧工廠的效率與生產力。根據半導體產業協會指出，2025 年全球將安裝超過 750 億台物聯網設備，全球物聯網半導體市場預計以 19% 的年成長率快速擴大，至 2025 年其規模達到 800 億美元。再者，邊緣運算則使數據處理從雲端轉向接近數據來源的邊緣端，在資料安全性和即時性上具有顯著優勢，異質整合技術因此成為支持邊緣運算模組和傳統半導體架構無縫整合的關鍵技術。

總體而言，生成式 AI、軟體定義車輛、智慧製造及物聯網等關鍵領域，皆依賴異質整合技術來推動半導體市場成長。AI 伺服器、AI PC 及 AI 手機等新興技術需求也成為異質整合技術的關注焦點，更驅使半導體產業持續向前。

(二)異質整合提升系統價值並實現半導體多樣化創新應用

隨著技術節點的不斷縮小，摩爾定律的效應逐漸減弱，傳統的微縮技術面臨日益嚴峻的挑戰。為了滿足現代應用對功能多樣性和整合性的需求，技術多樣化成為新的發展方向。異質整合技術在這一趨勢中扮演關鍵角色。透過將不同技術和功能整合到單一系統中，異質整合技術不僅能夠提升系統性能與降低功耗，亦能實現更高的設計靈活性和可擴展性。請參閱圖 1.9。



資料來源：ITRS (2015)

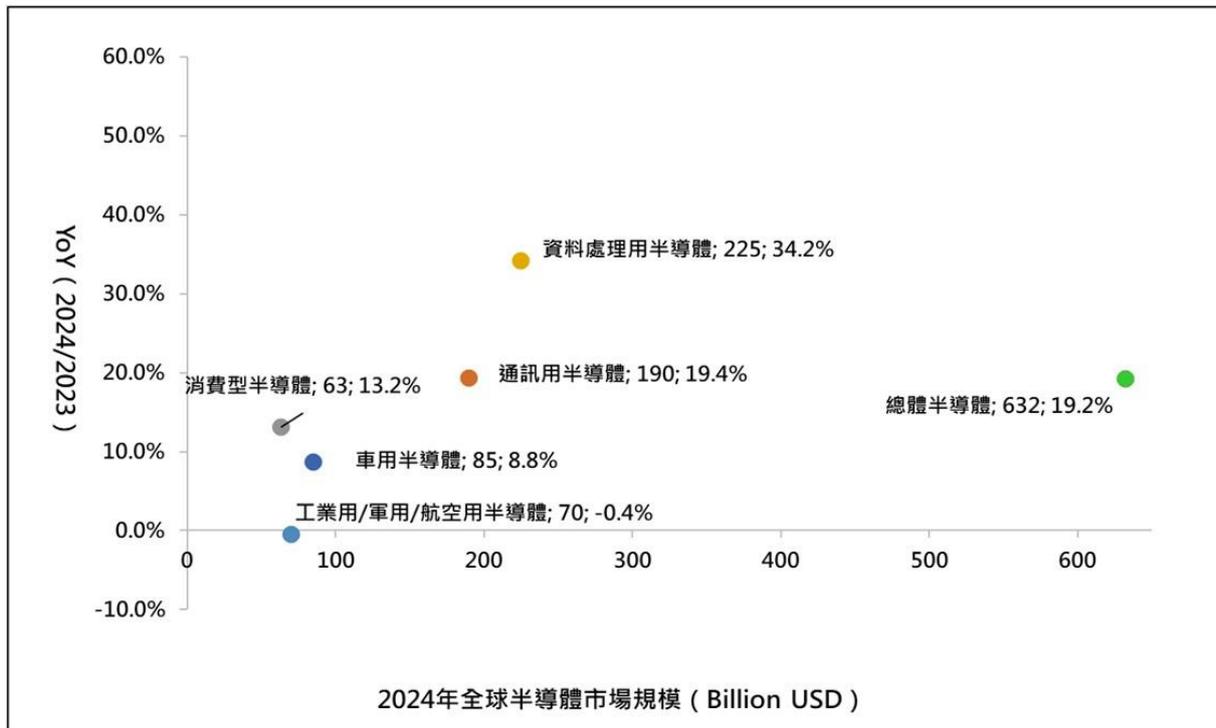
圖 1.9、異質整合提升系統價值並實現多樣化應用

在類比/RF 技術、高壓電源、感測器和生物晶片等領域中，異質整合技術展現出顯著的應用價值。例如，在 5G 通訊中，異質整合技術能夠整合數位和類比功能，提升訊號處理性能；在醫療設備中，異質整合技術能夠將多種感測器整合到一個系統中，提高診斷的準確性和效率。未來，隨著 5G、AI、物聯網等新興領域的發展，異質整合技術將在更多應用中發揮重要作用。雖然面臨製程技術的複雜性和成本等挑戰，但異質整合技術的潛力展現出廣闊的應用前景

針對全球半導體應用市場方面的探討，如下圖 1.10 所示，根據 Gartner 預估，2024 年資料處理用半導體為第一大應用市場，市場規模預估約為 2,250 億美元，由於 2023 年的較低基期及 2024 年 AI 應用的爆發，其在所有應用類別中具最高年成長率，預估 2024 年成長達 34.2%。其次，第二大市場通訊用半導體預計 2024 年市場規模約為 1,900 億美元，儘管 2023 年智慧型手機市場需求下滑，占通訊用產品比重近七成的智慧型手機因為市場需求下滑，使得通訊用半導體在 2023 年有雙位數的衰退幅度。在較低的基期以及終端市場需求逐步回溫之下，2024 年通訊用半導體市場成長預估達 19.4%。

第三大市場為車用半導體，市場規模預估約為 850 億美元。車用半導體市場是 2023 年唯一呈現市場正成長之應用領域，2024 年隨著各國補貼獎勵減少而降低電動車對消費者的吸引力，車廠降低對於電動車銷量的預期，預估 2024 年車用半導體市場將呈現緩成長 8.8%。而在未來五年成長動能方面，資料處理用、車

用、以及工業用半導體為前三大具備高成長動能的應用領域。其中，2023~2028 年資料處理用半導體 CAGR 預估達 12.1%，是唯一高於總體半導體 CAGR (9.2%) 的應用領域。



資料來源：Gartner (2024/07)

圖 1.10、2024 年全球半導體應用市場表現

2019 年，IEEE 提出的異質整合藍圖(HIR)旨在作為系統應用驅動的指南，融合市場需求與技術推動的雙重性。HIR 確立異質整合技術在六個主要市場應用領域的領先驅動力，包含：行動裝置(Mobile)、物聯網(IoT)、醫療與健康及穿戴式設備(Medical and Health & Wearables)、自動駕駛汽車(Automotive)、高效能運算和資料中心(High Performance Computing and Data Center)，以及航空航天和國防(Aerospace and Defense)。以下將深入探討高效能運算與資料中心、自動駕駛汽車及行動裝置三大關鍵領域的市場驅動力，並剖析異質整合技術在各領域的具體應用和發展現況。

1. 高效能運算與資料中心

根據 Gartner 的預測報告，AI 伺服器市場將在未來幾年呈現快速成長趨勢，AI 伺服器出貨量預計從 2022 年的 914,000 台成長到 2027 年的 2,732,000 台，年複合成長率(CAGR)為 24%，整體市場驅動力主要來自於生成式 AI 拉動雲端供應商的高度需求及企業端建置需求：

- (1) 超大規模雲端服務商：雲端服務商和其他服務提供商的 AI 伺服器出貨量佔比將從 2024 年的 67% 降至 2027 年的 55%，CAGR 為 20%，預估 80% 以上將用於大語言模型訓練。

- (2) 企業端應用：企業 AI 伺服器出貨量將從 2024 年的 457,000 台增長到 2027 年的 746,000 台，CAGR 為 30%，佔總 AI 伺服器出貨量的比例從 24% 上升到 27%，預估 90% 以上將用於大語言模型推理。

在此背景下，異質整合技術在高效能運算和與資料中心領域的應用愈發重要，其具體技術如下：

- (1) 高效能運算：將運算晶片（如 CPU、GPU、ASIC 等）與高頻寬記憶體 (HBM) 透過先進封裝技術進行高密度異質整合，提供高效能的算力，同時提升記憶體頻寬並降低延遲，例如 Nvidia B100 加速器採用 2.5D 封裝技術將 HBM 堆疊在矽中介層上，與運算晶片一起封裝，可將記憶體頻寬提升至數十 TB/s 等級。
- (2) 高頻寬記憶體：將 HBM 或堆疊 SRAM 與運算單晶片 (SoC) 進行整合，大幅提升記憶體頻寬和降低延遲，例如 AMD MI300 加速器將多層 HBM 堆疊在邏輯晶片上，可以實現超過 1TB/s 的記憶體頻寬，有效緩解「記憶體牆」的瓶頸。
- (3) 模組化設計：透過 Chiplet 架構，將大型 SoC 拆分成小晶片，透過異質整合先進封裝技術（如 TSMC CoWoS、Intel EMIB 等）進行高密度異質整合，可以提高良率和降低成本，例如 AMD MI300 加速器就採用了多個運算小晶片和 HBM 進行異質整合。
- (4) 晶片間互連技術：透過先進封裝技術（如 2.5D、3D），實現高密度、低延遲的晶片間互連。
- (5) 光電融合技術：透過整合矽光子模組，實現片上或封裝級的光子互連，提供高頻寬、低功耗的數據傳輸，例如 Ayar Labs 的 TeraPHY 技術可在晶片封裝體中整合光收發小晶片，實現 TB/s 等級的光通訊頻寬。

2. 自動駕駛汽車

根據 Gartner 的預測報告，車用半導體市場將持續成長，從 2022 年的 675 億美元成長到 2032 年的 1554 億美元，年複合成長率 (CAGR) 為 8.7%，整體市場驅動力主要來自於先進駕駛輔助系統 (ADAS)、電動化動力系統普及率及車用高效能運算 (HPC) 的需求：

- (1) 先進駕駛輔助系統 (ADAS)：ADAS 將成為最大驅動力，預計 2032 年市場規模達 505 億美元，CAGR 為 13.4%，中階自動駕駛系統 (L2+ 以上) 將成為市場主流。
- (2) 電動化動力系統：隨著各地政府推動電動車發展，電動化動力系統（純電動、混合動力）市場將快速成長，預計 2032 年市場規模有望達 373 億美元，CAGR 為 12.8%。

- (3) 車用高效能運算(HPC)：軟件定義汽車(SDV, Software Defined Vehicle)概念興起，推動車廠採用集中式車載計算(E/E)架構，預計 2032 年市場規模達 209 億美元，CAGR 高達 44.4%。

在此趨勢下，異質整合技術成為實現自動駕駛系統性能提升的關鍵因素，其具體技術應用如下：

- (1) 高效能運算：自動駕駛技術需要強大的算力來處理各個傳感器的數據和執行 AI 推理運算，未來可能需要高達 1000 TOPS 的運算能力，透過高密度異質整合封裝將 CPU、AI 加速器(GPU)和 HBM 一起封裝，提供自駕車所需的高效能運算並實現更高的頻寬和更低的功耗，有效即時處理大量感測數據，此外採用小晶片(Chiplet)封裝技術，透過 3D 堆疊或 2.5D 封裝，可以組合不同功能的小晶片模組，提高整體系統性能及良率。
- (2) 感測器：複雜的感測器晶片（如雷達、光學雷達、鏡頭）採用高密度異質整合封裝，透過晶片間互連，縮短訊號傳輸的距離，進而降低延遲、提高數據處理效率，提供自駕車的感知融合和決策能力，例如將毫米波雷達晶片與訊號處理晶片整合，可以提高雷達系統的性能和精度，或將感測器整合訊號處理單元，可以實現邊緣計算，減輕中央處理器的負擔，加速感知融合和決策過程。
- (3) 車用通訊系統：5G 和 V2X 車聯網通訊模組採用高密度異質整合封裝，整合射頻(RF)、基頻和天線功能，提高通訊系統整體性能並縮小模組體積，例如將矽基射頻晶片與 GaAs 功率放大器整合，可以提升通訊性能和功耗，此外採用 3D 封裝技術，能在有限空間內整合更多天線，實現多天線技術(MIMO)，提高通訊頻寬和可靠性。
- (4) 功率電子：電動車的先進電動車功率模組採用高密度異質整合封裝，將化合物半導體(如 SiC、GaN)功率模組與控制電路進行整合，提高功率和效率，例如將功率元件與散熱底板接合，能夠提升散熱效能、將電流和溫度感測器整合則可以實現對功率模組的即時監控，提高系統可靠性和安全性。

3. 行動裝置

根據 Gartner 的預測報告，全球 PC、平板電腦和手機出貨量將從 2024 年的 16.71 億台成長到 2028 年的 18.38 億台，年複合成長率(CAGR)為 2.4%，整體市場驅動力主要來自於前瞻技術(如 5G 及 AI)、新興市場需求及教育和企業端應用：

- (1) 前瞻技術：生成式 AI 為 PC 及智慧型手機帶來新的應用場景及功能，預計搭載 AI 功能的終端應用將從 2026 年開始成為市場主流；5G 網路的普及將持續推動智慧型手機升級需求，預計到 2027 年 5G 手機佔比將達 76%。

- (2) 新興市場需求：智慧型手機和平板電腦在新興市場將持續滲透為整體市場帶來成長動能。
- (3) 企業和教育端應用：企業端的數位化轉型及遠端工作模式將支撐 PC 和平板電腦的需求，教育端的應用將提升對平板電腦需求。

異質整合技術可滿足行動裝置領域對於高效能、低功耗、小型化的需求，其具體應用如下：

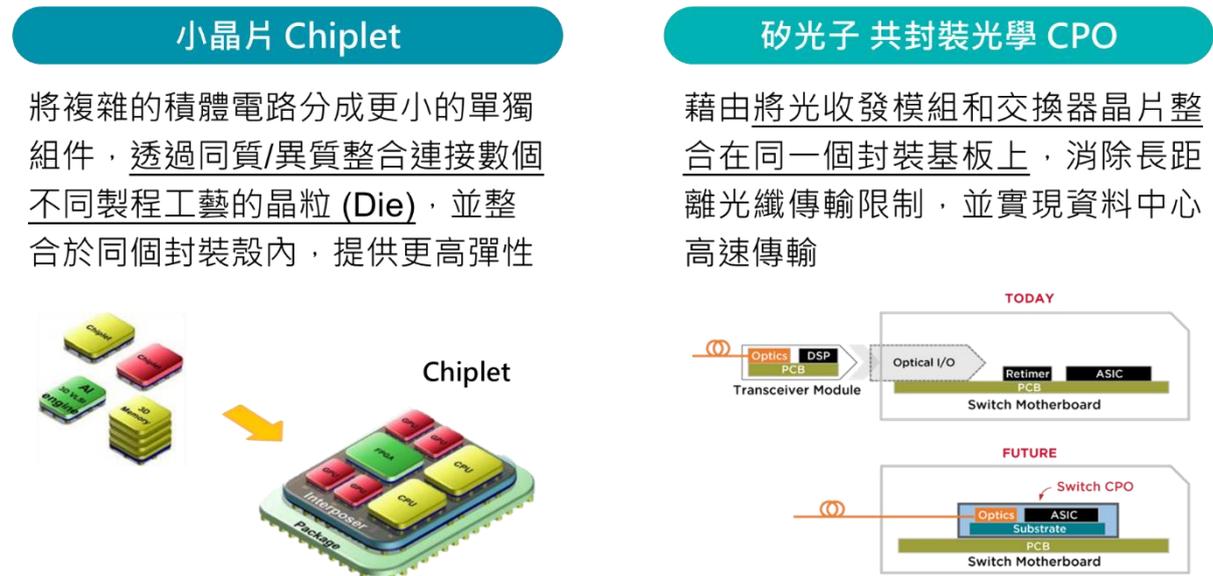
- (1) 處理器和記憶體：採用高密度封裝技術（如 Package-on-Package (PoP)）將處理器與記憶體垂直堆疊或水平整合，提供高互連密度和 I/O 數量，提升整體頻寬，實現高效能、低功耗和小面積，滿足行動裝置多方面的需求，例如 Apple Silicon 採用 TSMC 的 InFO 技術，整合處理器與 LPDDR 記憶體，為 iPhone 提供了高運算效能和功耗。
- (2) 射頻(RF)前端模組：採用高密度封裝（如系統級封裝(SiP)或扇外型晶圓級封裝(FOWLP)）將多個射頻元件（如功率放大器、濾波器等）進行整合，提高射頻效能並縮小主板面積，例如 Qualcomm QTM052 毫米波天線模組就採用了 SiP 技術，將天線陣列、收發器 IC 和其他射頻元件進行整合，製作出 5G 毫米波晶片 SoC。
- (3) 感測器：將複雜的多功能感測器（如慣性量測單元、指紋感測器）採用高密度封裝（如 MEMS 封裝、3D 堆疊技術）與訊號處理晶片整合，實現晶片間高效互連，提高數據處理效率，例如 Bosch BMI260 系列 IMU 就採用了 3D 封裝技術，在極小的封裝體中實現了高效能的運動追蹤功能。
- (4) 5G 毫米波天線模組：透過高密度封裝（如天線封裝(AiP)）將天線陣列、收發器晶片和射頻前端電路整合到單一封裝體中，提高整體訊號傳輸效能並縮小封裝面積，例如 Qualcomm QTM052 毫米波天線模組在 19x7mm 的面積下整合 4 個天線和射頻電路。

整體而言，無論是在 5G 通訊、自動駕駛汽車，還是高效能運算領域，異質整合技術皆展現多元且豐富的應用潛力。儘管面臨製程技術的複雜性和成本挑戰，其未來發展依然可期。

三、異質整合之前瞻技術與未來市場探勘

在科技持續發展下，異質整合技術正日益成為半導體產業未來的重要推動力。與此同時，小晶片(Chiplet)架構和矽光子共封裝光學(CPO)技術，為異質整合技術的應用開闢新道路。小晶片架構連接多個同質或異質的晶粒，提供高度的模組化設計靈活性，使得不同功能模組可以根據特定需求進行優化和整合。而矽光子發展下的共 CPO 技術則在資料中心和高速傳輸應用中展現巨大的潛力，藉由將光

收發模組與交換器晶片整合在同一封裝基板上，克服傳統光纖傳輸的局限性，未來小晶片架構與光電整合架構將可大幅提升 AI 晶片的效能，推動異質整合的持續創新。請參閱下圖 1.11。



資料來源：工研院產科國際所 (2024)

圖 1.11、異質整合下兩大解決方案

(一) 小晶片解決方案成為 AI 市場突圍的技術利器

在當前半導體技術的迅速發展中，AI 技術的演進對晶片設計和製造提出新的挑戰與需求。AI 1.0 時代的重點在於基於預先定義規則和標註數據進行任務導向型計算，如早期的圖像識別和語音處理應用。然而，隨著數據量和運算需求的爆炸性成長，AI 技術進入 2.0 時，人工智慧不僅處理大規模數據，還要求在無需大量人工標註的情況下，跨領域處理各種知識和任務，典型的 AI 2.0 應用包含用於大規模語言模型(LLM)訓練與推論的 AI 伺服器(server)。

AI 2.0 的核心特徵之一是對於算力和效率的極致追求，此算力需求推動高性能運算、人工智慧處理器（如 TPU、GPU）等晶片的發展，而這些晶片通常要求更高的晶片整合性、更小的封裝體積和更低的功耗。然而，隨著製程節點的不斷縮小，以往製造單晶片 SoC(System on Chip)的經濟性和技術挑戰日益增加。此時，小晶片設計作為一種革新性技術應運而生。

小晶片是將多個同質或異質的小型晶片透過高密度互連技術整合到一個大晶片中，形成功能強大的系統，其能夠降低在最先進製程節點上製造包含大量電晶體的晶片的成本。透過基於小晶片的設計，整個系統被分解為多個功能模塊，僅針對需要最新技術的小晶片使用最先進的製程節點來製造。相比於傳統單片 SoC 設計（如下表 1.4），小晶片技術展現多項優勢，特別是在設計成本、開發周期、性能及靈活性方面。在設計成本方面，就 7nm 以下的先進製程而言，小晶片技術能夠顯著降低製造成本。此外，小晶片的設計開發周期通常更短，僅需 12 個

月，相較之下，傳統單片 SoC 設計的周期往往超過 18 個月，這使得小晶片技術能夠更快速地推向市場，從而在競爭激烈的半導體產業中佔據先機。

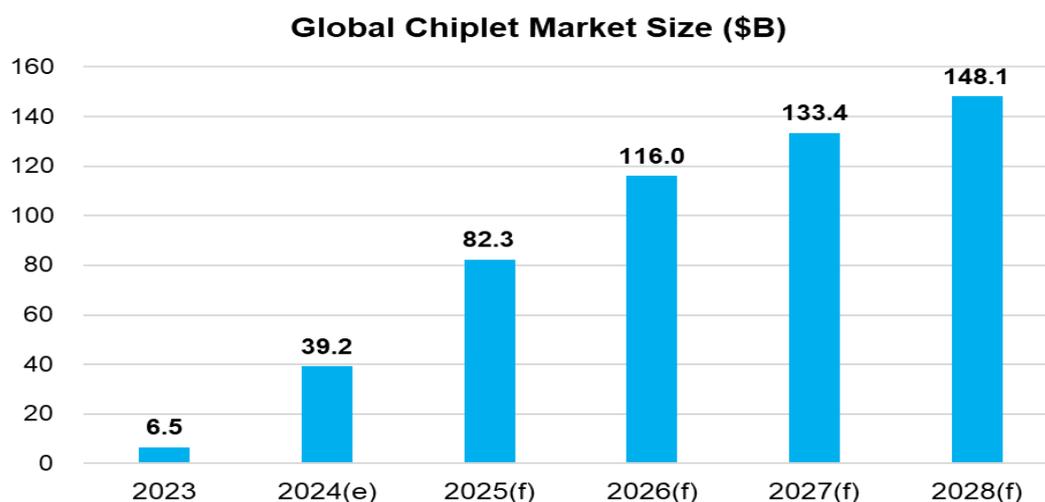
在性能與靈活性上，小晶片技術可以針對不同的應用需求進行模塊化設計，允許不同製程技術的模組共存，設計者針對不同的功能模塊進行獨立設計和測試，將大大降低設計風險，避免傳統 SoC 設計中因單一模塊問題導致的整體晶片重設計的情況。同時，透過模組化的設計方法，小晶片能夠針對每一個功能模塊進行優化，從而提升整體晶片的效能和功耗效率，為未來的高效能運算和數據處理應用提供強大支持。

表 1.4、SoC 與 Chiplet 比較

	SoC 單晶片	Chiplet 模組化小晶片
設計成本	高	低
設計時程	長	短
性能	極高	高
功耗	低	接近 SoC
上市時間	慢	快

資料來源：工研院產科國際所 (2024)

小晶片技術的市場潛力巨大，根據 MarketsandMarkets 市場報告預測，全球小晶片市場規模於 2023 年為 65 億美元（如下圖 1.12），由於 AI 引發的算力需求，2024 年小晶片市場快速成長至 392 億美元。而未來隨著消費電子產品和電動車需求的穩步上升，以及在亞太地區建立半導體晶圓廠的投資增加，將大幅推動小晶片市場的需求逐年成長，預計 2028 年全球小晶片市場規模將達 1480.6 億美元，2023~2028 年間之年複合成長率(CAGR)高達 86.7%。



資料來源：MarketsandMarkets (2023)

圖 1.12、全球小晶片市場規模

在小晶片市場中，2.5D與3D封裝技術的使用更是推動小晶片市場迅速擴展。這兩種封裝技術透過在矽中介層上並排放置(2.5D)或垂直堆疊(3D)晶片來實現最短的互連距離和更小的封裝佔用面積，因而成為小晶片整合的理想平台。根據MarketsandMarkets預估，2.5D和3D封裝型態的小晶片市場規模將從2023年的19.7億美元成長至2028年的616.3億美元，年複合成長率高達99.1%。

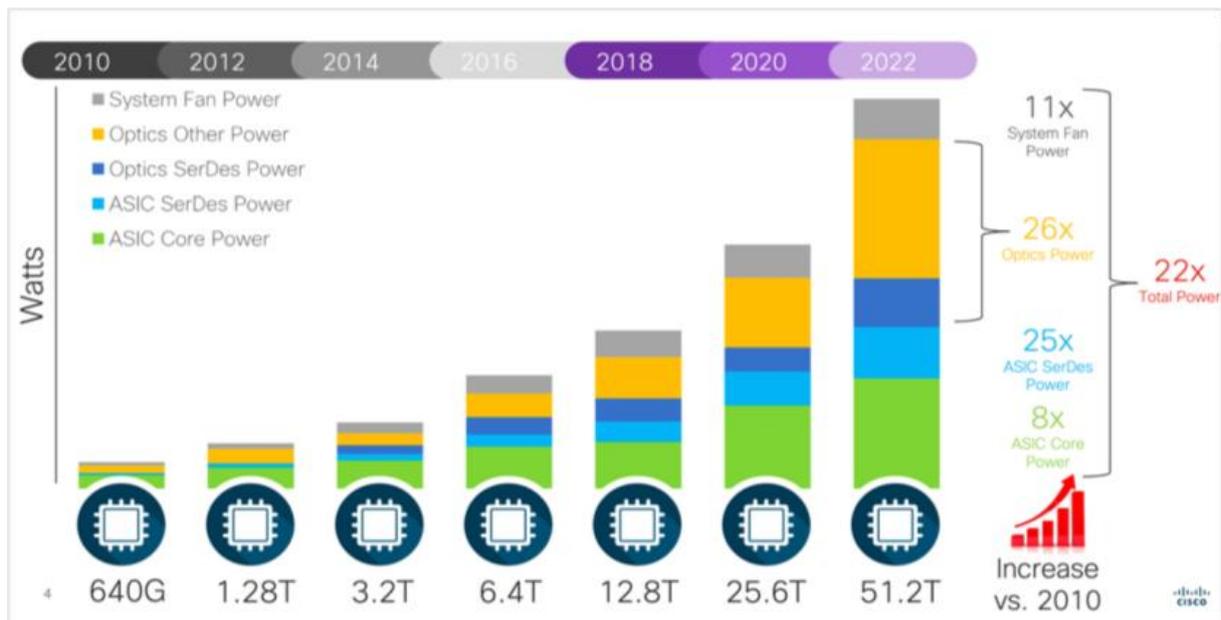
然而，異質整合的複雜性是一項極需克服的挑戰。不同元件在技術、外形尺寸和功能上的差異增加設計和整合的困難，反而會導致更高的開發成本和更長的開發週期。需要專業的設計工具和整合技術的專業知識，亦需要在原型設計、測試和驗證上進行多次迭代，從而延長上市時間，並可能影響市場競爭力。再者，小晶片技術需搭載高階的封裝技術，較高的封裝成本亦限制了小晶片應用的產品範圍。

目前，大多數基於小晶片的設計仍屬於單一供應商的封閉生態系統，未來的發展將待小晶片的商業化、標準化出現，以促進更多的IP公司進入。在此過程中，Chiplet技術面臨的挑戰包括高效能傳輸的穩定性，在長距離的晶片間通訊，需要有效維護高速傳輸的訊號完整性，涉及到數位控制、PHY層(實體層)設計、熱管理等關鍵技術。除此之外，要實現真正理想的晶粒模組化生態系統，仍需統一的晶粒間通訊介面及協定標準來促進不同晶粒之間的高效互操作，在後續章節中，將針對小晶片互連介面的發展進行技術探討。

(二) 矽光子共封裝光學技術推動未來網絡基礎設施革新

5G時代的來臨大幅增加對網絡和記憶體頻寬的需求，推動交換系統和應用專用積體電路(ASIC)的總頻寬在每兩到三年內翻倍。同時，人工智慧、機器學習、高解析度視頻串流，以及增強現實/虛擬現實(AR/VR)等應用，進一步加速數據流量的成長，對於Web規模的資料中心和雲端服務供應商來說，處理這些數據既昂貴又複雜，需要在網絡、伺服器/運算和記憶體之間進行高效協調。

另一方面，光通訊設備的能耗也正迅速成長。根據下圖 1.13 數據顯示，從2010年到2022年，這類設備的總能耗成長22倍，而光學系統在2022年的總能耗中占據了約50%的比例，達到51.2T系統能耗的一半，突顯出光學元件在這些系統中的重要性及其高能耗需求。隨著能耗的增加，系統的運行成本也不斷上升，包含能源開支、散熱和冷卻需求以及設備維護費用的增長。這些增加的成本給資料中心和雲端服務供應商帶來沉重壓力，迫使業界尋求更為高效的技術解決方案。



資料來源：Cisco

圖 1.13、光學元件與 ASIC 能耗需求節節攀升

為應對上述挑戰，矽光子應運而生。矽光子技術利用 CMOS 技術在矽晶片上整合光電通訊模組，透過光訊號傳輸以及電訊號運算，提供更佳的解決方案。然而，由於矽光子技術需要在積體電路的維度上進行多種光電訊號的轉換，其技術門檻相當高，目前仍難以實現，許多挑戰與困難尚待突破。

在此背景下，共封裝光學(CPO)技術成為實現矽光子電光互連的重要過渡階段。CPO 技術的核心在於將光學元件與矽基元件整合在單一封裝基板上，以應對未來頻寬和能耗的挑戰，其整合光纖、數位訊號處理(DSP)、交換器 ASIC 以及先進的封裝和測試技術，為資料中心和雲端基礎設施帶來突破性的系統價值。傳統的電子訊號傳輸方式存在固有的限制，在高頻寬和長距離傳輸時，損耗和延遲問題尤為突出，CPO 技術能有效克服此瓶頸，利用光訊號的低損耗特性，並在封裝中整合光電元件，來大幅提升系統的傳輸效率。此外，CPO 技術具有高度的可擴展性和靈活性，能夠滿足未來不同應用場景的需求。從大型資料中心到分散的雲端基礎設施，CPO 皆能提供高效且穩定的技術方案。

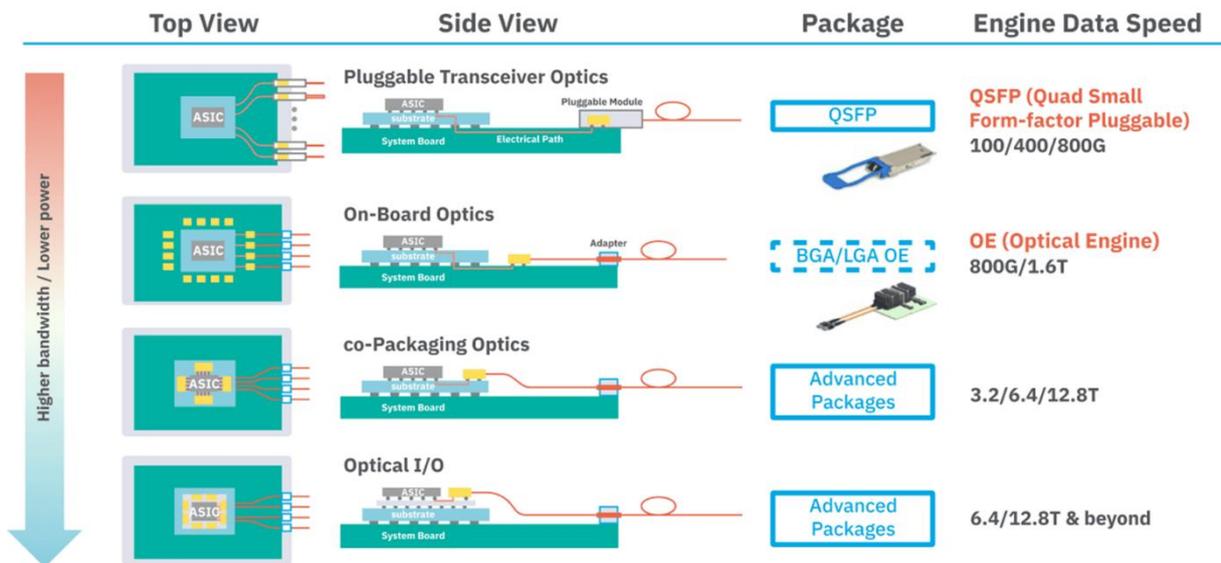
然而，CPO 技術的最終型態並非一蹴而就。從 2000 年至今，市場上主流的光電訊號轉換技術是可插拔光學(Pluggable Optics)，這一技術已廣泛投入商用。可插拔光學的結構設計相對簡單，類似於 USB 介面，透過外接光纖發射和接收光訊號，具有較高的靈活性，易於升級和維護，適應不同網路需求。插拔式光收發模組主要透過 PCB 連接，光訊號經由光纖傳輸到光模組，再轉回電訊號處理，然後透過 SerDes 通道傳送至 ASIC。然而，由於訊號必須穿過電路板和載板，在傳輸至 Switch ASIC 的過程中，可能會導致一定的訊號延遲和損失。

隨著技術的進步，光學收發模組逐漸過渡到載板上光學(On-Board Optics,

OBO)技術。OBO 允許光學元件直接安裝在 PCB 內部，靠近 ASIC 位置，以減少訊號傳輸中的損耗與延遲。這種配置透過 OBO 連接器將光學模組和光纖連接，讓資料中心和網路設備能處理更高的數據傳輸量。OBO 技術為在現有 PCB 設計基礎上提升性能提供了一種可行的途徑，適應不斷增長的數據需求。

進一步的發展方向是 CPO 型態，其目標是實現光通訊模組與光交換晶片的完全整合，以達到最佳的訊號傳輸性能和最低的損失。同時，光學 I/O 互連技術的演進展示光學技術的不斷提升，透過將光收發模組逐步靠近主控晶片來提高數據傳輸效能，應對日益增長的資料流量需求。

目前，CPO 技術雖然在技術整合和訊號轉換上仍面臨挑戰，但業界已積極探索矽光子技術的應用。未來，光纖整合封裝技術不斷提升下，從最初的矽光子插拔式光收發模組(PTO)，到支持更高傳輸速率的板上光學系統(OBO)，再到更高整合度的 CPO 和光學 I/O 技術（如下圖 1.14 所示），此進展將大幅提升頻寬傳輸效率，同時在能源效率和資本支出上提供更具優勢的解決方案。

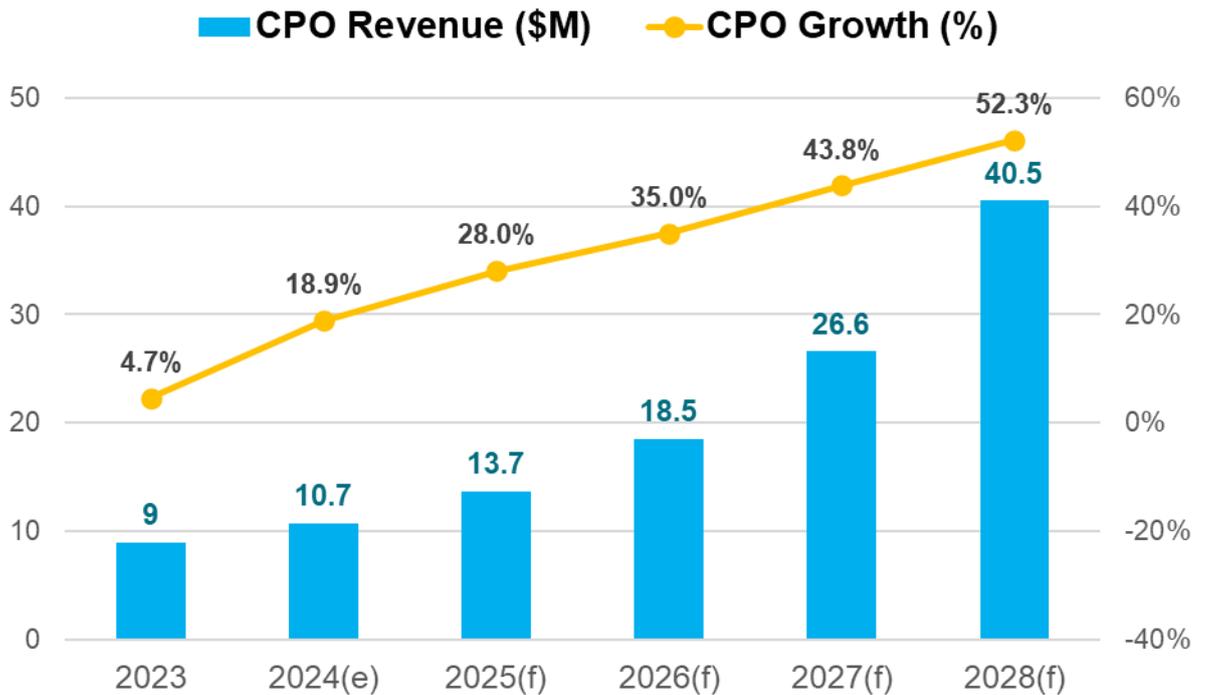


資料來源：日月光(2023)

圖 1.14、CPO 架構演進實現最佳電光整合

根據市調公司 MarketsandMarkets 數據統計，2023 年 CPO 市場規模為 900 萬美元。隨著雲運算、影音串流和 5G 等應用需求的攀升，預計 2028 年 CPO 市場規模將達到 4,050 萬美元，2023 年~2028 年的年複合成長率(CAGR)高達 35.1%。

如下圖 1.15 所示，CPO 市場規模快速擴展，並且成長率逐年上揚，預期 2028 年 CPO 技術將可實現大規模量產，致使市場於該年的年成長動能高達 52.3%，表明 CPO 技術在市場中的需求勢不可擋，並且隨著技術的落地以及應用範圍不斷擴大，市場擴張將更為顯著。預估未來十年內 CPO 技術的成長力道皆保持強勁。



資料來源：MarketsandMarkets (2024)

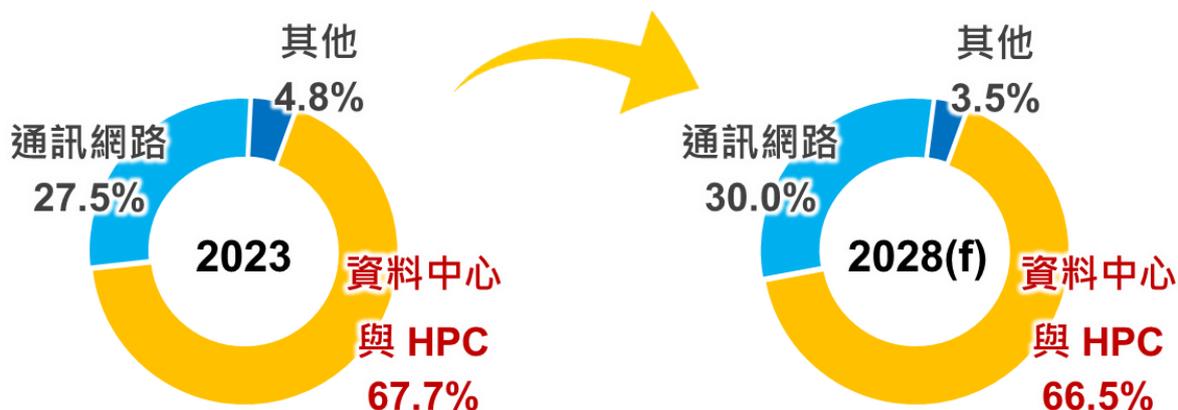
圖 1.15、2023~2028 年 CPO 市場規模預估

在市場應用方面，如下圖 1.16 所示，2023 年 CPO 應用領域主要集中在資料中心和 HPC 領域，占整體應用比重達 67.7%。預計到 2028 年，佔比將略微下降至 66.5%。儘管比例有所下滑，資料中心和 HPC 領域仍為 CPO 市場的關鍵驅動力，其 2023 年至 2028 年之 CAGR 達 26.3%。資料中心作為企業日常營運的關鍵資產，像是 AWS、Microsoft Azure、Facebook 和 Apple 等雲服務業者內部應用、服務對數據的高度依賴性，正經歷流量的指數級成長。

CPO 提供更高的頻寬與更低的延遲，能夠有效應對大型資料中心的網路負載，而隨著更多企業將其營運資料數位化、分別轉移至雲端或邊緣運算平台，進而推動資料中心基礎設施的建置需求。未來，資料中心在全球數據傳輸和儲存的角色將更為重要，進一步促進 CPO 技術的採用和市場擴展。

與此同時，通訊網路應用市場在 2023 年占 CPO 市場的 27.5%，預計到 2028 年將成長至 30.0%，穩定維持 CPO 市場第二大應用。數據流量的快速成長由串流服務、雲運算、物聯網(IoT)和 5G 技術推動，而隨著通訊網路相關業者不斷增多，CPO 技術將在提高數據傳輸速度和以及減少功耗方面發揮更大的作用，其主要參與者包括 Intel、Broadcom、Marvell 等，藉由其 CPO 的研發創新滿足現代通訊環境需求。

CPO市場應用領域變化



資料來源：MarketsandMarkets (2024)

圖 1.16、CPO 市場應用領域比重變化

矽光子 CPO 技術被視為應對未來網絡和運算需求的重要突破，透過在單一封裝基板上整合光學元件與矽基元件，有效提高訊號傳輸效率並降低功耗，使其成為未來資料中心和通訊基礎設施中的潛在主流技術。然而，儘管 CPO 技術具備顯著的技術優勢，市場對現有的可插拔模組的需求在短期內仍將保持強勁，因為其靈活性和成熟度使其成為目前的首選解決方案。隨著技術的持續進步和市場需求的增長，CPO 預計將在未來幾年內實現顯著的成長，逐漸成為高效能和低功耗傳輸需求的主要驅動力。在後續章節中，將探討矽光子 CPO 封裝的技術發展機會與挑戰。

四、小結

異質整合技術不僅是延續摩爾定律的重要途徑，亦是推動半導體產業未來發展的關鍵力量，透過將不同製程和技術節點的元件整合在同一封裝內，實現更高的性能和更低的功耗，因而在高效能運算、自動駕駛、5G 通訊等領域展現出巨大的應用潛力。同時，搭配同質整合技術，可提供更高效的系統整合方案，致力於在有限的物理空間內進行電路連接與元件整合，從而實現整體性能的最佳化。小晶片架構是系統整合的重要延伸，透過模組化設計，將不同功能的晶片組合在一起，不僅提高設計靈活性和效能，更有效降低設計成本和製造難度。

未來，隨著技術的不斷進步，異質和同質結合將進一步推動半導體產業發展，使元件間的結合度更高，功能性更強。此外，矽光子共封裝光學(CPO)技術的出現，也為系統整合帶來新的突破，藉由將光學模組與矽基元件整合在單一封裝基板上，顯著提升數據傳輸效率並降低能耗。上述技術的發展將引領半導體產業邁入新里程碑，為未來的高效能運算和網絡基礎設施革新奠定堅實基礎。

參考資料

1. Dyi-Chung Hu, “A 2.2D die-last integrated substrate for heterogeneous integration applications” , Chip Scale Review, January • February 2024
2. <https://semianalysis.com/2023/02/04/a-century-of-moores-law/>
3. Era of Silicon 4.0: TSIA chairman talks about virtual Moore's Law
<https://reurl.cc/qn5qOy>; Monolithic Heterogeneous integration to drive Silicon 4.0
<https://reurl.cc/74DNWD>
4. <https://ase.aseglobal.com/ch/heterogeneous-integration/>
5. https://etron.com/zh-hant/news_list/%E9%88%BA%E5%89%B5%E8%91%A3%E4%BA%8B%E9%95%B7%E7%9B%A7%E8%B6%85%E7%BE%A4%EF%BC%9A%E5%90%8C%E9%AB%94%EF%BC%8F%E7%95%B0%E8%B3%AA%E6%95%B4%E5%90%88%E5%8A%A0%E4%B9%98%E3%80%80%E7%9F%BD4-0%E6%99%82/
6. <https://www.gartner.com/document-reader/document/5653123?ref=solrAll&refval=438184494>
7. <https://www.appliedmaterials.com/us/en/semiconductor/markets-and-inflections/heterogeneous-integration.html>
8. Jose Schutt-Aine, ”Engineering chiplets for AI”, ECTC, 2024.
9. IRDS, “The international roadmap for devices and systems: 2023”, IEEE, 2023
10. <https://eps.ieee.org/technology/heterogeneous-integration-roadmap.html>
11. <https://semiengineering.com/fan-out-panel-level-packaging-hurdles/>
12. N. Lu, “Emerging Technology and Business Solutions for System Chips,” IEEE ISSCC Plenary Talk 1.2, Dig. Tech. Papers, pp. 25-31, 2004; “A New Silicon Way: Generating Semiconductor – Intelligence Paradigm with a Virtual Moore’s Law Economics and Heterogeneous Technologies,” IEEE Asian Solid-State Circuits Conference (A-SSCC 2016), Dig. Tech. Papers, pp. 5-8, 2016.
13. John H. Lau, “Heterogeneous Integrations”, Springer Singapore, 2019.
14. John H. Lau, “Semiconductor Advanced Packaging”, Springer Singapore, 2021.
15. <https://semiengineering.com/hybrid-bonding-basics-what-is-hybrid-bonding/>
16. Rajeev Rajput et al., “Forecast: Semiconductors and Electronics, Worldwide, 2022-2028”, Gartner, 2024.
17. Alan Priestley et al., “Forecast: AI Semiconductors, Worldwide, 2022-2028”, Gartner, 2024.
18. Masatsune Yamaji, “Forecast Analysis: Automotive Semiconductors, Worldwide”,

Gartner, 2024.

19. MarketsandMarkets, “Chiplet Market Size, Share & Trends”, MarketsandMarkets, 2023.
20. <https://community.fs.com/article/what-is-the-lpo-transceiver.html>
21. Sandeep Razdan , “Co-Packaged Optics Integration for Hyperscale Networking”, IEEE, 2023.
22. MarketsandMarkets, “Co-Packaged Optics Market Size, Share and Growth”, MarketsandMarkets, 2023.

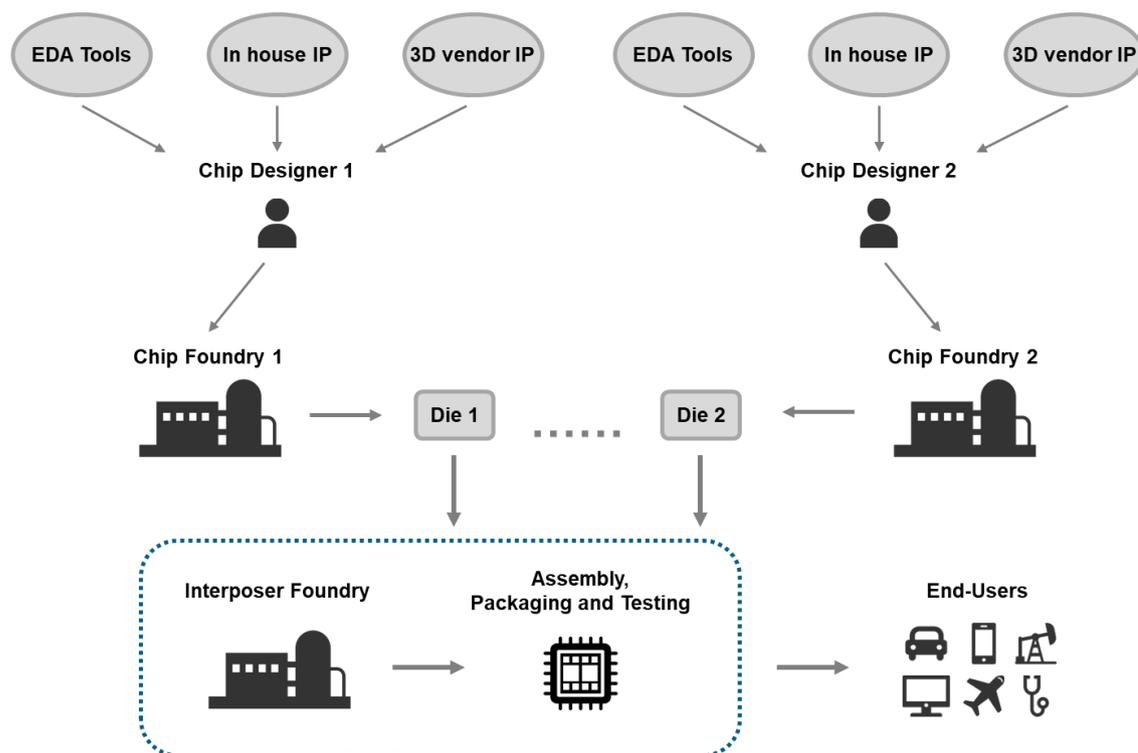
第二章 半導體異質整合產業鏈現況與重點國家政策

一、異質整合產業鏈及生態系現況

相較於 SoC，採取異質整合的產業鏈結構因涉及更多製造步驟而更加複雜。本章將分別就供應商與政府的角度，分析異質整合技術的產業鏈現狀、領導廠商的技術布局，及美、日、歐、韓等重點國家的相關政策、學研發展方向。

(一) 異質整合產業鏈依賴上下游業者協同合作與創新

異質整合技術的發展，正在重新定義半導體產業的技術門檻和市場競爭格局。如下圖 2.1 所示，從 EDA 工具與 IP 供應商提供設計工具與矽智財模組，交給 IC 設計公司後，用來創建具備特定功能的 Chiplet 架構。設計完成後，晶圓代工廠再負責將設計轉化為實體的裸晶粒(Die)。隨後，製造完成的 Chiplet 進入封測階段，此時，圖中深藍色虛線框處展示異質整合技術的關鍵流程，透過 Interposer Foundry 整合多個 Chiplet 在同一個封裝中，並進行嚴格測試，以確保其性能及可靠性。最終，這些經過封裝與測試的晶片被用於系統整合，成為完整的電子系統，並應用於如高效能運算、智慧型手機、自動駕駛系統等各種終端產品中。



資料來源：工研院產科國際所 (2024)

圖 2.1、異質整合產業鏈流程

從設計到封裝的產業鏈結構，涵蓋多個環節，每個環節都扮演著不可或缺的角色。以下是對異質整合產業鏈中各個環節的深入探討：

1. EDA 工具與 IP 供應商

在異質整合的產業鏈中，EDA 工具與 IP 供應商位於最上游，為整個設計流程提供必要的技術支持。EDA 工具使得設計師可以在統一的設計環境中進行系統級設計和多物理域模擬，而 IP 供應商則提供可重用的設計模塊，使晶片設計變得更加高效和可靠。

EDA 工具支撐異質整合設計的複雜性，從多晶片協同設計到先進封裝的物理驗證，這些工具在確保設計正確性和加快上市時間方面發揮了重要作用。主要的 EDA 供應商如 Cadence、Synopsys 等，正持續開發針對異質整合的專用工具，這些工具必須能夠處理不同技術節點、不同製程技術下的設計需求。與此同時，IP 供應商提供的矽智財(IP 核)則是異質整合設計的重要資源。這些 IP 核包括處理器、記憶體控制器、介面協議等，為設計師提供現成的解決方案，加快設計進程。同時，IP 供應商也需確保其設計的 IP 核能夠適應異質整合的封裝和製造技術。

2. Chiplet 設計與製造

Chiplet 設計與製造是異質整合技術中的核心環節，其為將大型單片晶片分解為多個小型功能模塊，然後藉由先進封裝技術進行整合的設計方法。不僅提高良率，降低成本，還使得設計更加靈活，能夠快速適應市場需求。Chiplet 設計的最大優勢在於其靈活性和可重用性。設計師可以選擇最適合特定功能的製程技術來製作不同的 Chiplet，然後將這些 Chiplet 整合在一起，從而達到最佳的性能與成本平衡。大型科技公司如 Intel、AMD、NVIDIA 等都在積極推動 Chiplet 設計的發展，並與供應商和製造商緊密合作，形成強大的產業聯盟，共同應對技術挑戰和市場需求。

除了晶片廠商外，需要大量 AI 運算資源的雲端服務供應商 CSP (Cloud Service Provider)，像是 AWS, Google, Microsoft, Meta 等企業，亦紛紛投入自主 AI 晶片研發，以求降低硬體資訊的建置及維護成本。由於異質整合的複雜性，包含 chiplet 系統設計、先進製程與封裝等技術門檻較高，皆推升了晶片委外設計的商業模式，形成另一類的產業聯盟與生態鏈。

3. 晶圓代工廠(Fab)與前後段製程

晶圓代工廠是將設計轉化為實體晶片的關鍵環節。領先的代工廠如台積電、Intel、Samsung 等，憑藉其先進的前段製程技術搭配後段先進封裝能力，成為異質整合技術成功的背後推手。晶圓代工廠不僅提供製造服務，還與設計公司、封測公司密切合作，確保設計意圖能夠在製造環節中得到完美呈現。這種高度協同的工作模式，促進異質整合技術的不斷創新與應用。

4. 封裝與測試

封裝與測試環節在異質整合技術中具有關鍵地位。高密度封裝技術和嚴格的

測試流程，是確保異質整合產品性能和可靠性的關鍵。先進封裝技術如 Fan-Out、2.5D、3D IC 封裝等，允許將多個 Chiplet 緊密整合，實現更高的性能和更低的功耗。而隨著異質整合產品的複雜性增加，測試技術也必須不斷升級，以確保每一個模塊和整體系統的功能性和可靠性，包含在設計階段引入 Built-In Self-Test(BIST)技術，以及在製造和封裝階段進行全面的電氣、機械、熱力測試。

5. 系統整合與終端應用

異質整合技術的最終目標，是在各種應用中實現高效能與多功能的電子系統，其涵蓋高效能運算、行動裝置、自動駕駛、物聯網等多個領域。在系統整合階段，需要全面考慮電源管理、散熱設計、機械結構等多方面的因素，成功的系統整合不僅是異質整合技術價值的體現，也是其在實際應用中的關鍵所在，將為半導體產業帶來更多創新機會與市場潛力。

此外，異質整合技術要達到最佳效能並量產，必須由 IC 產品公司進行微系統至高點的 IC 設計製造與異質整合封裝製程的垂直整合。這樣的垂直整合模式，使得晶粒與微系統能夠透過先進封裝技術形成最佳次系統產品，亦是臺灣領先全球推動的「同體異質整合」(Optimized Monolithic and Heterogeneous Integration)概念的一部分。為了克服 HI 散熱的困難，從晶粒設計到封裝的每個環節，都必須考量散熱結構和材料選擇，以便在大量生產中實現高良率、低成本和高效能。

(二)以台積電 3D Fabric 聯盟為例的生態體系

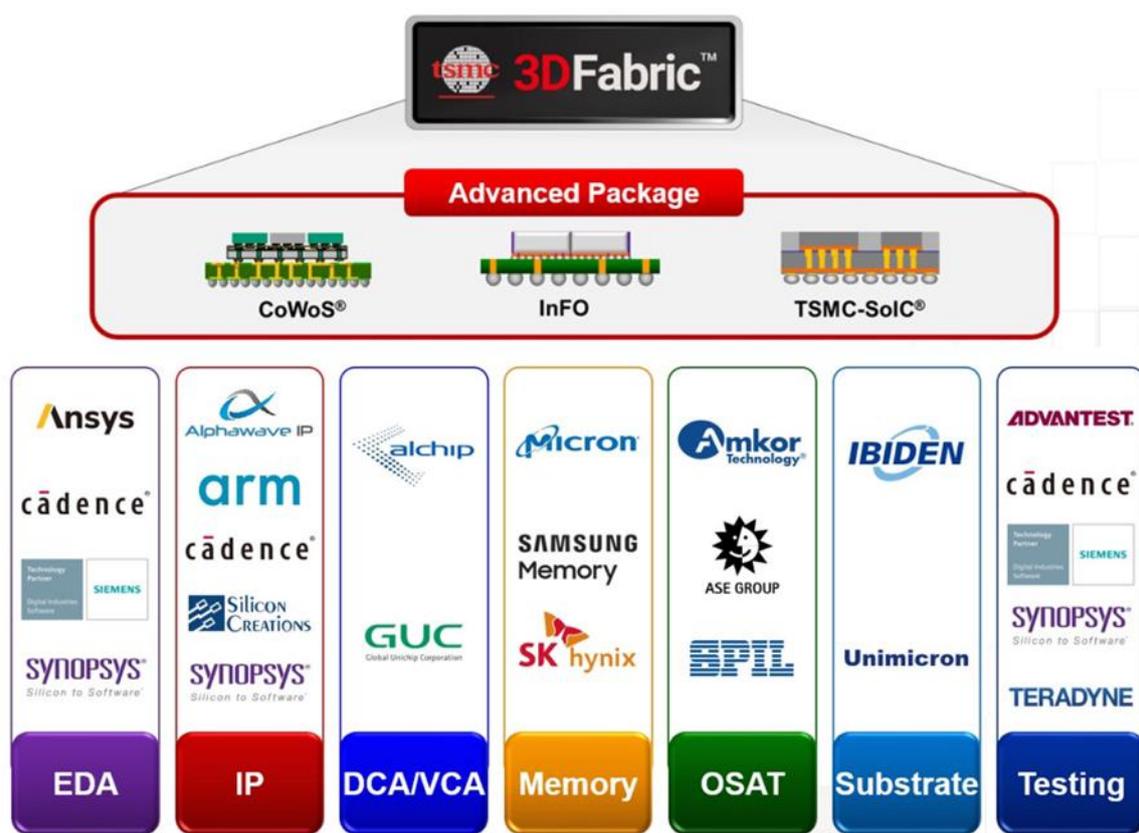
2008 年，台積電透過其開放創新平台(Open Innovation Platform, OIP)建構高度協同的生態系統，其集結半導體設計產業的各個領域的合作夥伴，旨在降低設計門檻，提高產品首次投片即成功的機率。OIP 包含矽智財、設計應用、可製造性設計服務、製程技術以及後段封裝測試服務等資源，推動當時半導體業的創新進程。2020 年，為因應現代科技對高效能運算的需求，台積電於推出 3D Fabric 技術，其結合先進的 3D 堆疊和封裝方法，使得業界領先的廠商如 AMD、Amazon Web Services(AWS)和 NVIDIA 等，能夠在其產品中實現更高的性能與效率。

基於 3D Fabric 技術的成功，台積電於 2022 年宣布成立 3D Fabric 聯盟（如圖 2.2），其為開放創新平台(OIP)的延伸。3D Fabric 聯盟旨在加速 3D IC 技術的創新，並進一步完善整個生態系統，聯盟成員包括 16 個電子設計自動化夥伴、6 個雲端服務夥伴、37 個矽智財夥伴、23 個設計中心聯盟夥伴及 19 個 3D Fabric 聯盟夥伴等，各自在不同的技術領域擁有深厚的專業知識。透過合作夥伴間的密切合作，3D Fabric 聯盟不僅提升技術創新速度，亦降低 3D IC 技術的採用門檻，幫助更多企業將產品順利推向市場。例如：

1. EDA 工具：如 Cadence、Synopsys 等夥伴，開發並升級符合 3D IC 設計需求的工具，提升設計效率。
2. 矽智財(IP)：Arm、Alphawave 等 IP 夥伴，專注於開發符合台積電 3D

Fabric 技術標準的 IP 解決方案。

3. 設計中心/價值鏈聯盟：Alchip、GUC 等夥伴，確保其技術路線圖與台積電保持一致，以提升 3D Fabric 技術的整合能力，為客戶提供整合設計服務。
4. 記憶體供應商：Micron、SK hynix 等公司，與台積電合作提升記憶體與 3D IC 技術的整合性。
5. 基板供應商：Ibiden、Unimicron 等基板夥伴，提升基板材料的品質與整合性，加速 3D IC 設計的生產。
6. 封測與測試服務(OSAT)：Amkor、ASE Group 等夥伴，支援 3D IC 產品的封裝與測試需求，確保產品的可靠性與品質。
7. 台積電與合作夥伴之間的共生關係，促使雙方及其共同客戶都能從中受益。



資料來源：台積電 (2022)

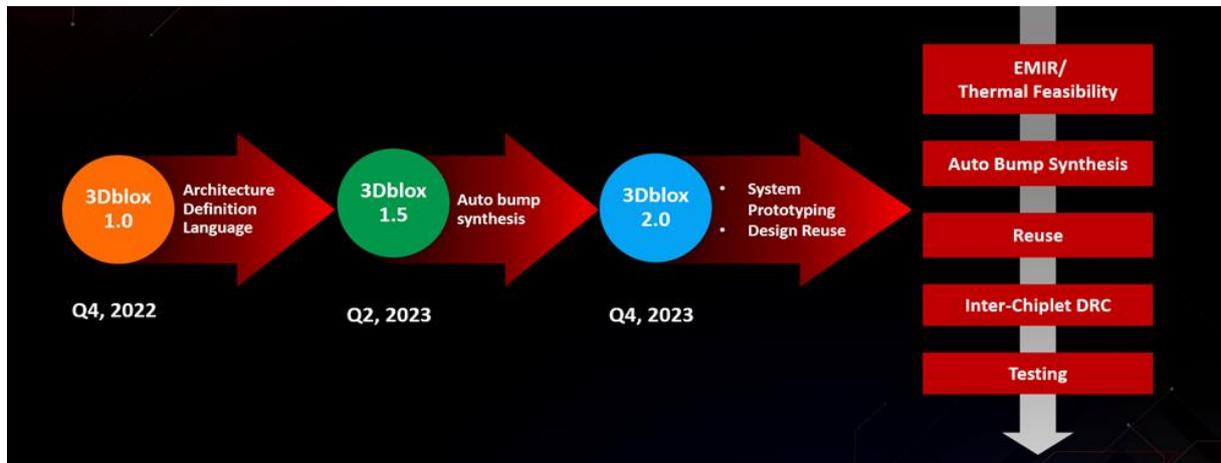
圖 2.2、台積電 3D Fabric 聯盟生態系

在台積電 3D Fabric 聯盟的框架下，台積電與 EDA 合作夥伴共同創建 3Dblox 標準，其統一 3D IC 設計中的關鍵物理堆疊及邏輯連接資訊，顯著提升不同設計工具之間的互通性，簡化 3D IC 設計流程，並促進生態系統內部的協作。在 3Dblox

出現之前，各 EDA 供應商使用不同的語言進行物理設計和電氣分析，使得設計流程變得繁瑣且容易出錯。而 3Dblox™標準的引入，專注於提供與晶片-封裝的最佳化共同設計。該平台整合設計與製程之間的依賴性，為 Fabless 設計公司提供可選擇的子設計組件，使設計師能夠更輕鬆地進行 3D IC 設計，大幅提升產品開發效率。

2022 年第四季，台積電推出 3Dblox 1.0 版本，引入架構定義語言(Architecture Definition Language)，為後續的設計流程提供標準化的語言基礎。隨後在 2023 年第二季，推出了 3Dblox1.5 版本，加入自動凸點綜合(Auto Bump Synthesis)功能，進一步優化設計流程。

2023 年第四季，台積電在 OIP 生態系統論壇上正式推出 3Dblox 2.0 開放標準其不僅支持探索不同的 3D 架構，更提供完整的電源和熱模擬功能，能夠進行整個 3D 系統的功耗及熱可行性分析。此外，此版本還支援小晶片設計的再利用(Design Reuse)，進一步提高設計的生產力和效率。3Dblox 2.0 的推出致使設計師能夠更靈活地探索不同的 3D 架構，並在設計過程中進行系統級的模擬與驗證，可簡化設計流程，還為 3D IC 的發展提供強而有力的技術支持，特別是在異質整合架構下，讓客戶能更好地使用多樣化的封裝技術組合，滿足各種創新應用的需求。請參閱下圖 2.3。



資料來源：台積電 (2023)

圖 2.3、台積電 3Dblox 標準演進

藉由 3D Fabric 聯盟和 3Dblox™標準，台積電正引領半導體產業進入一個嶄新的時代。其不僅革新 3D IC 的設計和製造方式，也為下一代高科技應用奠定堅實的基礎。透過簡化設計流程、強化矽智財與基板的整合，台積電與其合作夥伴正不斷推動異質整合技術的發展，為半導體行業帶來可觀的創新價值和競爭力。

二、異質整合領導廠商技術布局

在現今半導體技術的風口浪尖上，異質整合正迅速成為業界的核心戰場。無論是晶片設計商、晶圓製造商，亦或是封測大廠，皆致力於將異質整合納入晶片

技術布局考量，以奠定未來十年的市場地位。再者，在地緣政治角力之下，領導廠商亦針對後段封裝技術進行全球生產建置，以應對未來全球市場的競爭變化。

(一)領導廠商異質整合 IC 設計技術布局

1. Nvidia

Nvidia 長期以來一直是高效能運算和人工智慧領域的領導者，憑藉其創新的 GPU 加速器，持續推動產品的進展。Nvidia 在其 GPU 產品中運用異質整合的理念，將不同的功能模組和記憶體系統整合在同一封裝中，優化性能並提升能效。同時，Nvidia 的 NVLink 技術允許 GPU 之間進行高效的數據傳輸，提升整體系統的運算能力。此外，Nvidia 亦積極發展其數據處理單元(DPU)，結合 CPU、GPU 和專用處理器，以處理複雜的數據流和網絡工作負載，進一步增強其異質運算架構。

2022 年，Nvidia 提出 Hopper 架構及基於該架構的 AI 加速器 H100，其整合 800 億個電晶體，並達到 3.35 TB/s 的記憶體頻寬。隨著技術的進展與市場需求的變化，Nvidia 推出 H100 的繼任者 H200。H200 採用更先進的 HBM3e 記憶體，儲存容量達到 141GB，是 H100 的近兩倍，同時記憶體頻寬也提升至 4.8 TB/s，進而推升 H200 在 AI 推理和高效能運算中的表現，尤其處理在 700 億參數的 Llama 2 大型語言模型時，H200 的推理速度較 H100 提高 45%。根據表 2.1，同樣基於 Hopper 架構打造的 H100 及 H200，兩款晶片可互相相容，兩者皆適合用於 AI 模型的訓練或者推理。

表 2.1、Nvidia H100 與 H200 GPU 比較

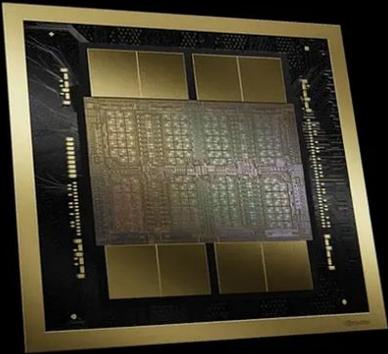
	H100	H200
發布日期	2022Q1	2024Q2
架構	Hopper	Hopper
記憶體容量	HBM3, 80 GB	HBM3e, 141 GB
記憶體頻寬	3.35 TB/s	4.8 TB/s
電晶體數量	800 億顆	800 億顆
能耗	700W	700W
互連技術	NVLink 4	NVLink 4
封裝技術	CoWoS-S	CoWoS-S

資料來源：工研院產科國際所 (2024)

在過去，Nvidia 主要依賴單晶片 GPU 設計來實現其產品的高效能。然而，隨著對更高頻寬和更低延遲的需求增加，Nvidia 逐漸將多晶片模組(MCM)架構引入其 GPU 設計中。這一轉變在 2017 年首次得到技術論文的支持，探討 GPU 與 HBM chiplet 架構的可行性。隨後，Nvidia 在 2021 年的技術論文中提出基於 chiplet 技術的三種可行架構，這些技術突破使得 Nvidia 能夠在最新一代的 Blackwell 架構

中成功運用 chiplet 技術，實現更高的效能和更低的能耗。

2024 年，Nvidia 推出基於 Blackwell 架構的 B200 GPU（如圖 2.4 所示），為輝達首款全面採用 chiplet 設計的產品。B200 擁有 2080 億個電晶體，達到 20 petaflops 的 AI 訓練性能，搭載台積電的 N4P 製程技術，並採用雙晶片設計，兩顆 GPU 晶片透過 NV-HBI 連接，形成一致的 CUDA GPU，進一步提升整體效能。相比於 H100 和 H200，B200 的記憶體容量顯著增強，每個 chiplet 配備 4 個 HBM3e 記憶體堆疊，達到總共 8 個堆疊，可提供 192GB 的記憶體容量和 8 TB/s 的記憶體頻寬。此外，B200 採用 Nvidia 最新的第五代 NVLink 技術，將每個 GPU 的數據傳輸頻寬提升至 1800GB/s，是 H100 及 H200 的兩倍，使得 B200 在 AI 和 HPC 應用中的效能達到前所未有的高度。



Nvidia B200 GPU	
發布日期	2024Q1
架構	Blackwell
記憶體容量	HBM3e, 192GB
記憶體頻寬	8 TB/s
電晶體數量	2080億顆
能耗	1000W
互連技術	NVLink 5
封裝技術	Chiplet + CoWoS-L

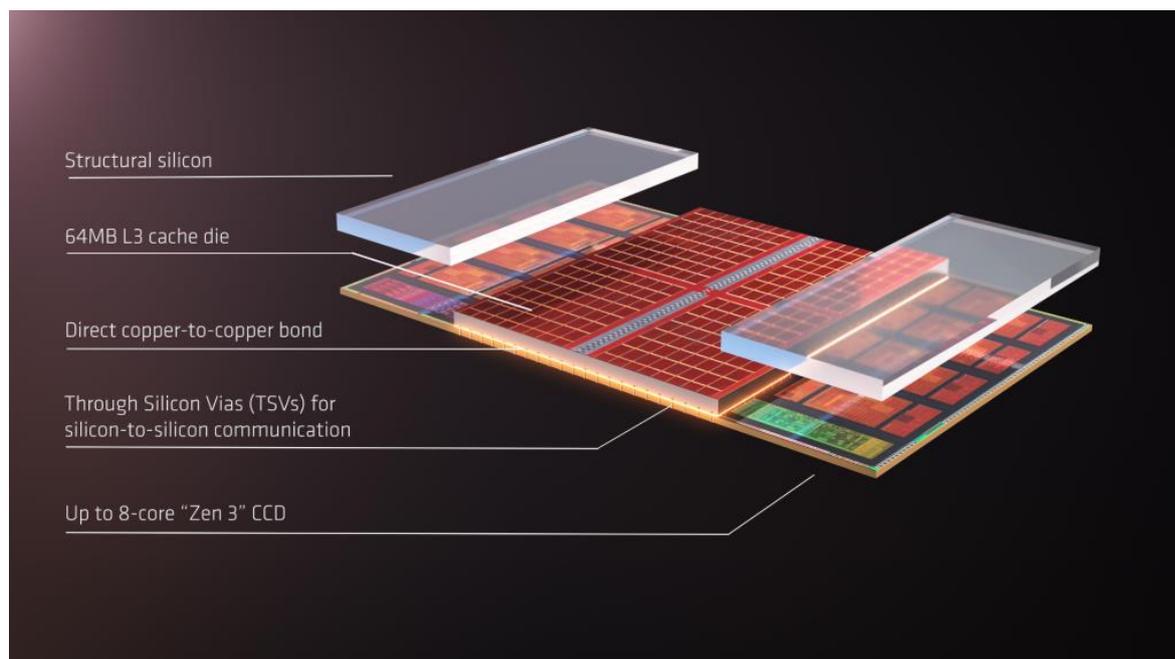
資料來源：Nvidia (2024)

圖 2.4、Nvidia B200 GPU 規格

儘管 Nvidia 在 H100 和 H200 等產品的推動下，於 AI 晶片市場中保持領先，其市佔率高達 90%，但隨著 AMD、Intel 等競爭對手的積極進攻，以及各國政府對壟斷的監管壓力，Nvidia 在未來將面臨更大的挑戰。此外，chiplet 技術的發展促使 Nvidia 必須在成本控制與技術優勢之間取得平衡，特別是在 B200 等新產品的推廣中，如何有效提升成本效率與降低能耗，將成為其在市場中持續保持競爭力的關鍵。總結來說，Nvidia 在異質整合技術的應用上，從 H100 到 B200，不斷突破技術瓶頸並推動市場創新。隨著 AI 和 HPC 市場需求的增長，Nvidia 的 chiplet 設計將成為應對未來挑戰的重要策略之一。然而，如何在技術優勢與成本效益之間取得平衡，並應對來自市場和監管的雙重壓力，將是 Nvidia 未來發展的關鍵課題。

2. AMD

自 2017 年推出第一代 Ryzen 和 Epyc 處理器以來，AMD 一直致力於構建其小晶片生態系統，以支持運算和 I/O 功能的模組化設計，也透過 3D V-Cache 技術顯著提升數據傳輸速度和效能。如下圖 2.5 所示，3D V-Cache 技術透過在標準計算晶片上增加一個獨立的快取晶片層，極大地提升系統的記憶體存取效率。傳統的 SRAM 通常與 CPU 在同一個 SoC 中，需要共用相同的製程技術，這不僅提高成本，也限制 SRAM 的密度。而 AMD 的 3D V-Cache 技術則是將快取獨立出來，形成單獨的小晶片，然後透過 3D TSV 技術與核心晶片(CCD)垂直堆疊，無需使用微凸塊，提高 Zen3 架構的存取頻寬，亦使 SRAM 的體積得以縮小。



資料來源：AMD (2021)

圖 2.5、AMD 3D V-Cache 架構

如下表 2.2 可見，3D V-Cache 技術經歷從第一代到第三代的演進。第一代與第二代的混合鍵合尺寸約為 7x10 毫米，基於 N5 製程的 CCD 基底，垂直帶寬達 2.5TB/s。而在第三代中，技術進一步提升，混合鍵合尺寸擴大至 3x29 毫米，並引入 N6 基底的 XCD/CCD 晶粒堆疊，垂直頻寬提升至 17TB/s，大幅提高數據傳輸速度，並改善熱管理性能。

表 2.2、AMD 3D 封裝架構特性

3D 架構特性	Gen1 & Gen2	Gen 3
混合鍵合尺寸	~7 x 10 mm	~3 x 29 mm
邏輯晶粒	電壓輸送基底	改善熱管理
製程技術	N7 (X3D) on N5 base (CCD) die	N5 XCD/CCD 堆疊 on N6 base die
垂直頻寬	2.5 TB/s	17 TB/s

資料來源：工研院產科國際所 (2024)

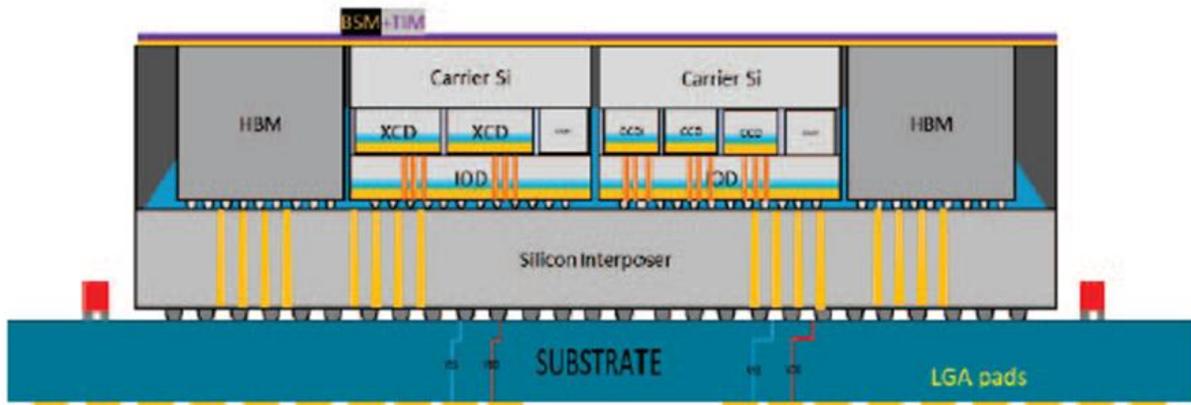
與此同時，AMD 不斷優化其 2.5D 封裝技術。例如，MI100 和 MI200 系列中，AMD 利用大面積的矽中介層和微凸塊互連技術，成功實現更高的封裝精度和密度。如表 2.3 所示，MI300 系列產品則將模組尺寸擴大至 4 倍光罩，並將微凸塊間距縮小至 35 μm ，進一步提高封裝效率和性能。

表 2.3、AMD 2.5D 封裝架構特性

2.5D 架構特性	MI100/MI200	MI300
模組尺寸	< 2~2.5x 光罩	4x 光罩
光罩拼接	< 3x 光罩	4x 光罩
D2D 微凸塊間距	45~55 μm	35 μm
封裝架構	單片 SoC	混合鍵合堆疊

資料來源：工研院產科國際所 (2024)

2023 年，AMD 推出 MI300 系列產品，其採用 3.5D 封裝技術，結合 2.5D 矽中介層與 3D Cu-Cu 混合鍵合技術，不僅實現多層 CPU/GPU 和 HBM 晶粒的垂直堆疊，還有效提升整體系統效率（如圖 2.6 所示）。



資料來源：AMD (2024)

圖 2.6、AMD MI300 3.5D 封裝架構

MI300 系列包含 MI300X 與 MI300A 產品，皆為 AMD 在異質整合和高效能運算領域的最新突破。MI300X 為專門設計的 AI 加速器，其純 GPU 架構基於最新的 CDNA3 架構，結合強大的處理能力和先進的封裝技術，專為滿足當前和未來的 AI 訓練需求而設計。MI300X 擁有 1530 億個電晶體和 192GB 的 HBM3 記憶體，這使得其運算能力相較於前一代產品 MI250X 提升 2 至 4 倍，成為 AI 和高效能運算領域的標竿。

另一方面，MI300A 則是全球首款資料中心 APU（加速處理單元），首次實現 CPU 和 GPU 的整合封裝。MI300A 採用小晶片設計，結合 5 奈米和 6 奈米製程，搭載 24 個基於 Zen 4 架構的 CPU 核心，以及 128GB 的 HBM3 記憶體，記憶體頻寬達到 5.3TB/s。這款產品旨在為超級電腦市場提供更高的每瓦性能和統一記憶體體驗，進一步增強 AMD 在 HPC 領域的競爭力。MI300A 已經被德國斯圖加特高效能計算中心選中，將用於未來的超級電腦系統"Hunter"和"Herder"，這些系統將為高效能資料分析和人工智慧應用提供支持。

AMD 的異質整合技術不僅限於 AI 和 HPC 領域，還廣泛應用於汽車、工業、醫療和嵌入式系統等多個領域。尤其在汽車領域，採用 Chiplet 設計的 RX7000 系列顯示出強大的異質整合能力，支援高頻寬與低延遲的數據處理需求。未來，隨著自動駕駛和智能網聯汽車需求的增長，這一技術將更具潛力。

在異質整合 chiplet 的技術上，AMD 持續推動高效能運算和人工智慧領域的創新發展。透過 3D V-Cache 和採用 3.5D 封裝技術，AMD 成功提升記憶體存取效能以及數據傳輸速度，特別是在 MI300 系列產品中展示卓越的異質整合能力，將強化 AMD 在 AI 和資料中心市場的競爭地位，也為未來更多元運算及開發的技術項目奠定基礎。

(二) 領導廠商異質整合先進封裝技術布局

隨著終端產品從手持設備、物聯網到車用電子再到高速運算處理器的發展，

產品複雜度的提高對封裝技術的要求，業界巨頭紛紛加大先進封裝技術的研發力度，其中較高互連密度的扇外型封裝、2.5D 中介層、3D 晶片垂直堆疊位為核心的封裝技術，可大幅提升高效能產品的運算能力。

此外，晶圓廠在 2.5D 和 3D 封裝技術上具有較大的優勢，主要因高階晶片封裝往往伴隨著較低的製程良率，而晶圓廠相較於封測廠擁有更強的產業鏈優勢，並且發展先進封裝技術可為其前段先進製程進行增值，提供客戶 Turnkey 一站式服務，不僅提升整體性能，還加速了晶片異質整合的實現。表 2.4 展示各大晶圓廠和封測廠在扇外型封裝、2.5D 和 3D 封裝技術上的布局和對應技術名稱，揭示不同廠商在先進封裝技術上的策略選擇和發展重點。以下我們將針對領導廠商分別探討關鍵先進封裝技術之進展。

表 2.4、晶圓廠與封測廠先進封裝技術布局

		Fan Out 封裝	2.5D 封裝	3D 封裝
晶圓廠	台積電	<ul style="list-style-type: none"> InFO_PoP InFO_SoW 	<ul style="list-style-type: none"> CoWoS - S CoWoS - R、L 	<ul style="list-style-type: none"> SoIC-CoW SoIC-WoW
	Samsung	<ul style="list-style-type: none"> FOWLP FOPLP-PoP 	<ul style="list-style-type: none"> Cube S、E H-Cube 	<ul style="list-style-type: none"> X-Cube
	Intel		<ul style="list-style-type: none"> EMIB 	<ul style="list-style-type: none"> Foveros Co-EMIB
封測廠	日月光	<ul style="list-style-type: none"> FOPoP FOSiP 	<ul style="list-style-type: none"> FO-EB FOCoS - Bridge 	
	Amkor	<ul style="list-style-type: none"> SWIFT/SLIM PLFO 	<ul style="list-style-type: none"> S-SWIFT 	

資料來源：各公司官網；工研院產科國際所彙整 (2024)

1. 台積電

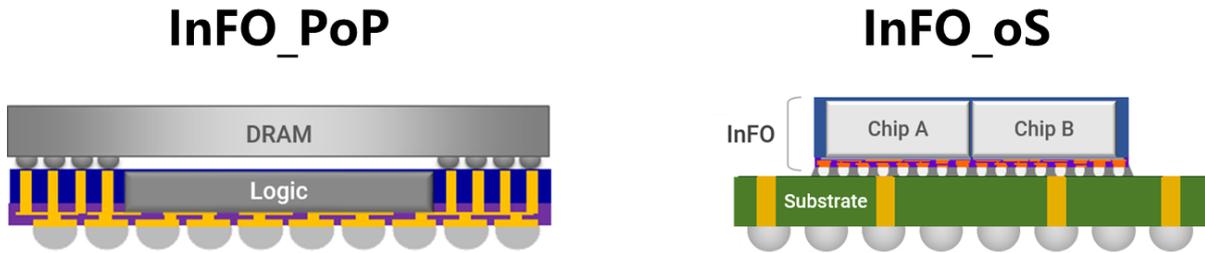
台積 3D Fabric 聯盟中，涵蓋 InFO、CoWoS、SoIC 三大先進封裝技術組合：

(1) InFO

2016 年，台積電推出 InFO_PoP(Integrated Fan-Out Package-on-Package)先進封裝技術，應用於手機晶片，如 Apple 的 A 系列處理器。由圖 2.7 可見，InFO_PoP 主要亮點在於其能夠在不使用中介層的情況下，直接將晶片與記憶體封裝在一起，透過 TIV 垂直通道連接錫球，實現更高的電路密度和更優異的熱管理效果，並能夠支持高頻應用。這項技術因其成本效益高和封裝密度大受市場歡迎，特別適合於手機和物聯網設備等移動裝置。

隨著需求的擴展，台積電在 2018 年推出 InFO_oS(Integrated Fan-Out on Substrate)，被廣泛應用於 5G 基站通訊應用。InFO_oS 透過在基板上進行扇外型

封裝，高密度 RDL 層上可容納多個不同功能的晶片，具備更高的 I/O 連接密度。相比於傳統封裝技術，InFO_oS 大幅提升晶片間的數據傳輸速率，並且顯著降低功耗，能夠更好地應對未來高效能產品的需求，包含小量生產的 HPC 應用，以及高頻 5G 毫米波所需的 AiP(Antenna in Package)技術。

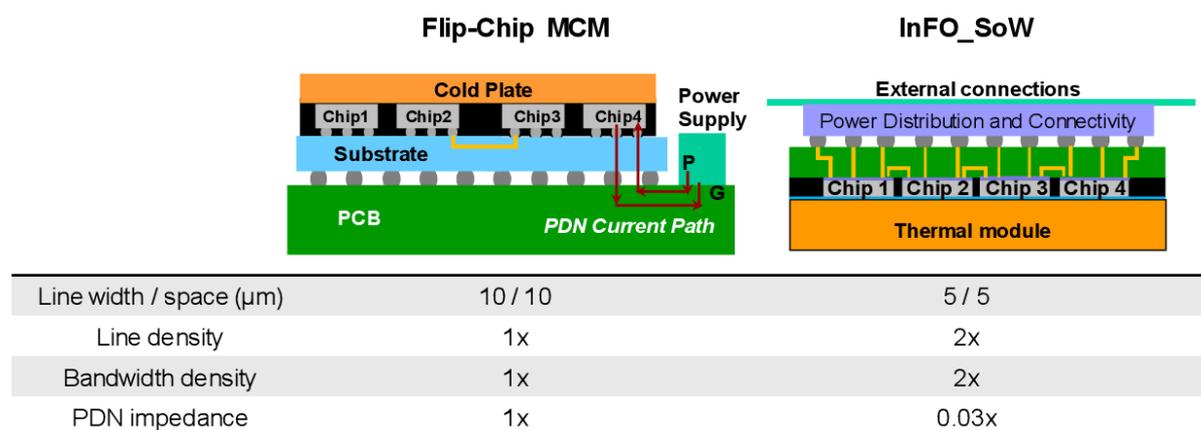


資料來源：台積電；工研院產科國際所彙整 (2024)

圖 2.7、台積電 InFO 技術架構比較

2021 年，台積電進一步推出 InFO_SoW(Integrated Fan-Out System-on-Wafer)，為針對大規模系統整合的封裝技術。其可在矽晶圓上透過高密度 RDL 層將多顆晶片整合為一個系統，提供如同單一大晶片的運作效能，並有效地解決光罩尺寸極限問題。例如 Tesla Dojo 超級電腦的晶圓級處理器，即採用 InFO_SoW 技術並已投入量產，其具有 25 個小晶片封裝在 InFO 中，具有 6 層 RDL，可提供低延遲高頻寬的核心間通訊，並具有較低的電源傳輸網路阻抗和高效能效率，協助進行大規模數據中心的 AI 訓練和推理。

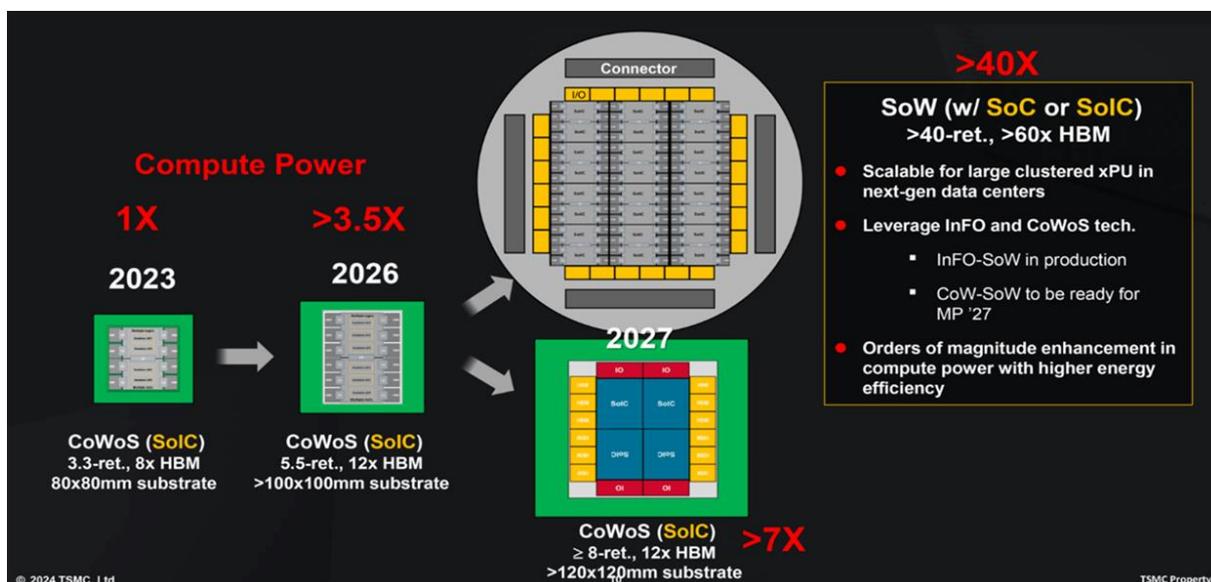
根據圖 2.8，相比於傳統的 Flip-Chip MCM 封裝，InFO_SoW 在電氣性能上具有顯著優勢。InFO_SoW 透過整合多顆晶片於單一矽晶圓上，使得晶片間的連接密度得以翻倍提升。與 Flip-Chip MCM 相比，InFO_SoW 的線寬和間距縮小至 $5\mu\text{m}$ ，而傳統 Flip-Chip MCM 則為 $10\mu\text{m}$ ，使得 InFO_SoW 在相同的面積內能夠布置更多的線路和 I/O 接口。此外，InFO_SoW 在頻寬密度上亦表現出色，其頻寬密度和電源分佈網路(PDN)阻抗均為傳統 Flip-Chip MCM 的兩倍，表示在處理大規模數據和高頻應用時，InFO_SoW 能夠提供更高的效率和更低的功耗。而在 PDN 阻抗方面，InFO_SoW 只有傳統 Flip-Chip MCM 的 0.03 倍，大大降低供電電阻，進一步提升整體系統的穩定性與效能。



資料來源：台積電 (2020)

圖 2.8、Flip-Chip MCM 與 InFO_SoW 電器性能比較

InFO_SoW(System-on-Wafer)技術的發展除了體現在當前的高密度封裝上，還具備未來擴展光罩尺寸的潛力。台積電目標在 2027 年，將採用 SoW 技術擴展光罩尺寸至 40 倍算力增加，可承載更大規模的運算單元和記憶體模組，並且與先進的晶片系統整合(SoIC)封裝技術相結合，實現 CoW-SoW 技術量產，其允許記憶體或邏輯單元直接堆疊在晶圓上，可顯著提升數據吞吐量和能源效率，以滿足下一代人工智慧模型和大型資料中心的更大算力需求。下圖 2.9 展示台積電從現有技術邁向未來規格的演進，強調在運算能力與光罩尺寸方面的預期提升，將重新定義半導體製造封裝的新紀元。



資料來源：台積電 (2024)

圖 2.9、台積電 System-on-Wafer 技術未來布局

(2) CoWoS

CoWoS(Chip-on-Wafer-on-Substrate)技術自問世以來經歷多次升級與改良，將晶片透過 Chip on Wafer(CoW)的封裝製程連接至矽晶圓，然後再將晶片連接到基

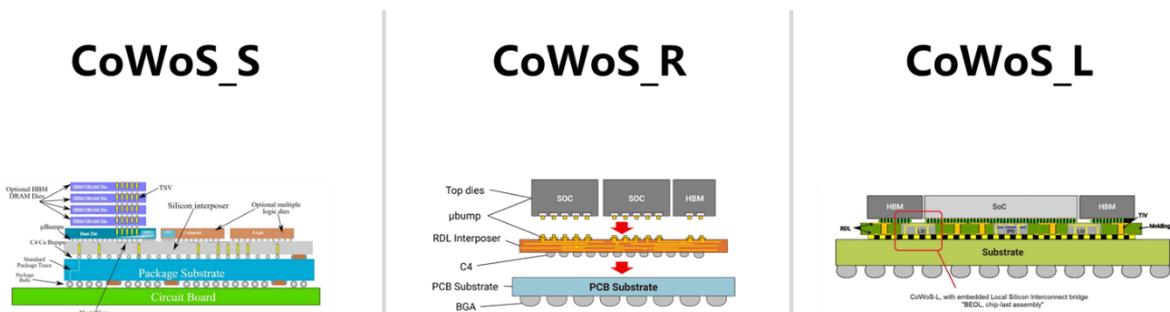
板(Substrate)上，從而實現多晶片整合的目標，故可提升晶片之間的互連密度，亦加速其數據傳輸、降低功耗。

2012 年，台積電開始量產 CoWoS 技術，並成功應用於 Xilinx 和 Altera 的 FPGA 上，然而當時由於矽中介層極為昂貴，加上高運算需求尚未發酵，因此未受到廣泛應用。2016 年，由於人工智慧應用需求成長，Nvidia 開始採用 CoWoS 技術，Google 的 AlphaGo TPU 晶片以及其他 AI 加速器也紛紛跟進。直到 2023 年，以 ChatGPT 為起始的大型語言模型遍地開花，高算力要求大幅推升對 CoWoS 先進封裝的需求，以致 CoWoS 產能供不應求。

隨著技術的進步，CoWoS 技術維持其基礎的中介層架構，發展出多個變體，如圖 2.10 所示，包含了 CoWoS-S、CoWoS-R 和 CoWoS-L。CoWoS-S 是台積電最早推出的主流矽中介層架構，具有穩定的製程和高效能，適用於各類 AI 伺服器和高效能運算產品，其技術核心在於透過矽穿孔(TSV)和微凸塊技術，大幅提升晶片互連密度，滿足大規模數據處理的需求。然而，CoWoS-S 的製作成本較高，台積電因此開發 CoWoS-R 以及 CoWoS-L 以應對不同市場需求。

CoWoS-R 透過使用 RDL 中介層取代矽中介層，成功降低整體封裝成本，應用上針對網通類產品。同時，CoWoS-R 減少 TSV 的使用，進一步提升良率和可靠性，並加速其量產時程，儘管其犧牲一些 I/O 密度，但仍具備高度的應用彈性。相較於 CoWoS-S，CoWoS-R 具備體積小、成本低、訊號完整度較佳等優勢，目前發展至 5.5 倍光罩尺寸，並支持 AWS Inferentia 2 加速器，可提升生成式 AI 與 ML 訓練的卓越性能和性價比。

CoWoS-L 則是台積電較新的技術項目，其在 RDL 中介層中引入 LSI(Local Silicon Interconnect)的矽橋橋接，增加設計和封裝的彈性，並能夠堆疊多達 12 顆 HBM3 記憶體，可延續 CoWoS-S 的高效能特性，更在降低成本方面具有更大的優勢。除此之外，CoWoS-L 技術還使用了深溝電容器 (DTC)，可提供高電容密度，進而提高系統的電氣性能。這些電容器可充當電荷庫，滿足運行高速運算應用時的瞬時電流需求。CoWoS-L 有望成為未來高階 AI 晶片封裝中極具競爭力的技術選擇，目前應用於 Nvidia 新一代 Blackwell 伺服器中的 B200 晶片。



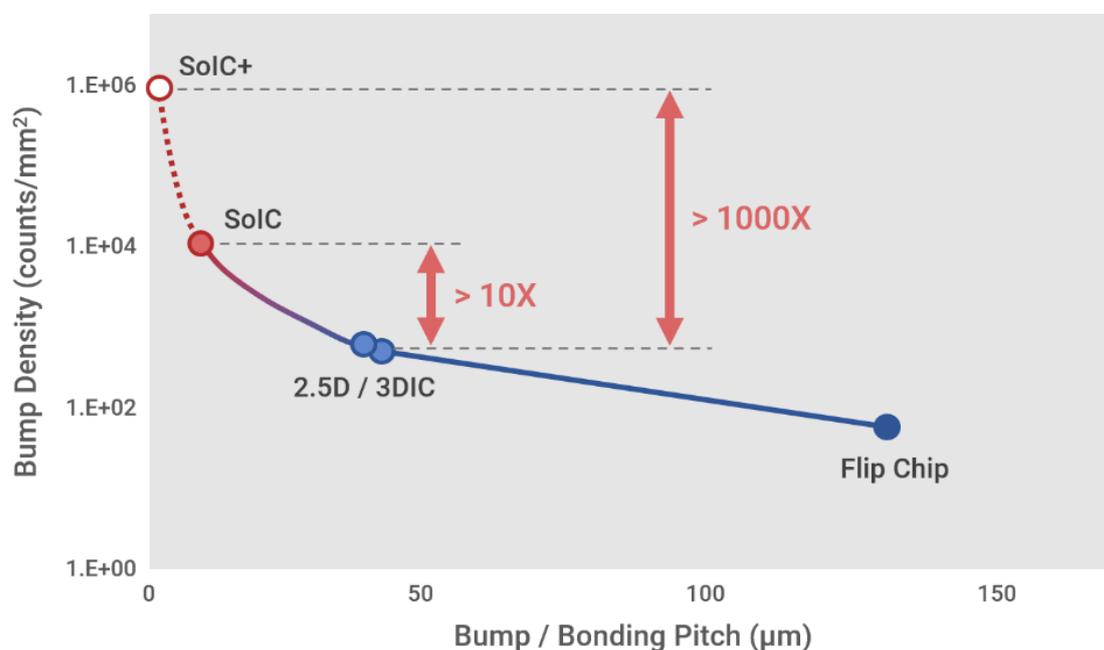
資料來源：台積電；工研院產科國際所彙整 (2024)

圖 2.10、台積電 CoWoS 技術架構比較

(3) SoIC

台積電的 SoIC(System on Integrated Chips)技術在 2019 年首次亮相，旨在突破傳統封裝的限制並提升系統整合的靈活性。SoIC 技術平台透過無凸塊鍵合方式，在多個垂直堆疊晶片之間實現高密度的互連，由於無需依賴於傳統的凸點連接技術，能夠在每平方毫米實現約 10,000 個互連點（如圖 2.11），並預計未來有望將這提升至 100 萬個互連點。

圖 2.11 亦展示 SoIC 技術如何突破 Flip-Chip 鍵合密度的限制。傳統的覆晶晶片技術在凸塊密度上遇到瓶頸，主要由於兩個因素：一是現有凸塊工具和材料不足，無法支持更細密的凸塊間距；二是晶片封裝相互作用(CPI)帶來的可靠性問題，特別是在細凸塊間距的覆晶晶片組裝中更為明顯。除此之外，SoIC 技術在大幅度減小晶片外形尺寸的同時，還能有效地提升頻寬，並且簡化散熱管理的挑戰，為大規模並行系統整合提供理想的 IC 封裝方案。



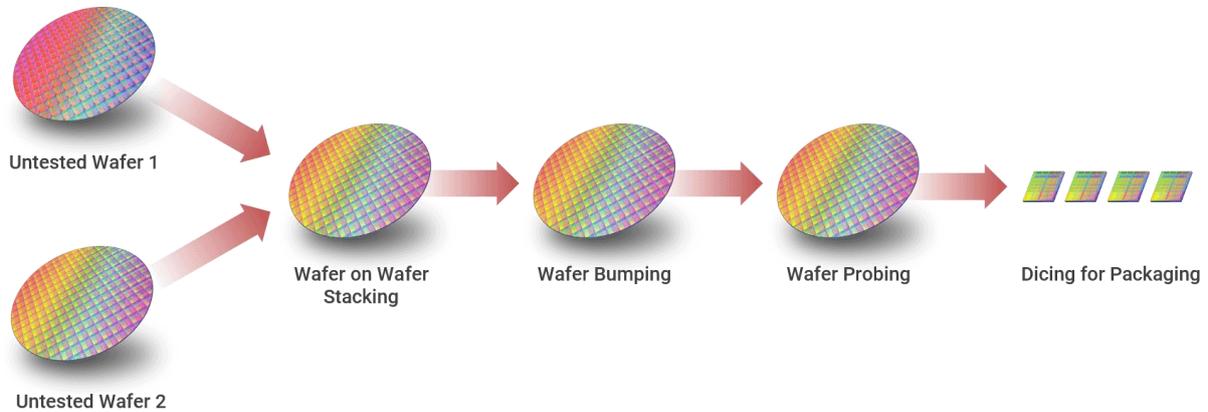
資料來源：台積電；工研院產科國際所彙整 (2024)

圖 2.11、台積 SoIC 鍵合密度優勢

SoIC 技術主要包含兩種堆疊方式：晶片對晶圓(Chip-on-Wafer, CoW)和晶圓對晶圓(Wafer-on-Wafer, WoW)，均屬於前段晶片堆疊，其目標是實現晶片與晶片之間無凸塊的高密度鍵合，進而提升整體系統性能，而兩者差異主要在於製程與應用場景。CoW 技術是將已製造完成的裸晶粒直接堆疊在矽晶圓上，可允許不同尺寸和技術節點的晶片進行靈活搭配設計，主要適用於需要將不同功能的晶片組件整合到單一基板上的場景，例如高效能運算中的異質整合。

而 WoW 技術則是將兩片矽晶圓進行鍵合，更適合於高良率節點和相同晶片尺寸的應用場景，進行同質或異質晶片堆疊，在垂直方向上實現更高密度的整合。

由圖 2.12 可見 WoW 製程的關鍵步驟。首先，未測試的兩片晶圓進行 Wafer-on-Wafer 堆疊，接著進行 Wafer Bumping 工藝，隨後進行 Wafer Probing，即測試每一顆晶片的電性，確保晶圓內所有晶片都符合品質要求。最後，晶圓進行切割，將已經堆疊好的晶片切割成單一的晶片單元，準備封裝。WoW 技術多用於記憶體堆疊當中。



資料來源：台積電 (2022)

圖 2.12、台積 SoIC-WoW 封裝流程

CoW 與 WoW 堆疊皆為無凸塊(bumpless)連接的形式，屬於 2019 年推出的 SoIC-X 技術，其 4.5 至 9 微米間距的無凸點 3D IC 堆疊，最早應用於高效能運算領域，並率先在台積電的 N7 技術上量產，大幅提升晶片的性能之下，更顯著減少功耗與尺寸，適合於需要高密度連接的應用場景。由於成本上的考量，台積電於 2023 年進一步推出 SoIC-P 技術，是基於 18 至 25 微米間距的微凸塊(μ bump)堆疊。與 SoIC-X 相比，SoIC-P 技術針對的是更具成本競爭力的高效能應用，為不同的應用需求提供更多選擇。

SoIC 技術透過創新的鍵合方案，提供強大的 I/O 鍵合間距可擴展性，使得晶片間的連接具有更小的外形尺寸、更高的頻寬、更好的電源完整性(PI)、訊號完整性(SI)以及更低的功耗。與當前業界最先進的封裝解決方案相比，SoIC 技術展現卓越的性能優勢之外，也隨著技術的不斷迭代，應用範疇持續擴展，在雲端運算、網路和邊緣運算等高效能應用領域中，皆扮演日益重要的角色，

2. Intel

Intel 發展 EMIB 2.5D、Foveros 2.5D & 3D、Foveros Direct，以及 EMIB 3.5D 多項先進封裝技術，如下圖 2.13 所示，Intel 先進封裝技術演進歷程體現在其持續推動高密度互連技術的進步，可將來自不同製程節點的複雜晶片更好地封裝在一起，創造出更強大的晶片複合體，進而優化晶片性能和成本效益，也為未來實現更加複雜的晶片系統鞏固基礎。



資料來源：Intel (2023)

圖 2.13、Intel 先進封裝進程

(1) EMIB 2.5D

EMIB(Embedded Multi-die Interconnect Bridge)2.5D 封裝解決方案首次於 2017 年量產，其採用嵌入式矽橋，放置在封裝基板中，用於高效連接邏輯晶片和高頻寬記憶體。與傳統的矽中介層相比，EMIB 無需使用完整的矽中介層，因此降低製造成本，但同時維持一定程度的連接性能。該技術的凸塊間距最初為 55 微米，在 2023 年隨著第二代 EMIB 技術推出，間距縮小至 45 微米，進一步提升電路連接的密度與效率。

(2) Foveros 3D

2019 年，Intel 推出 Foveros 3D 封裝技術，首次實現多個異構晶片的堆疊和整合。Foveros 技術堆疊不同製程技術的晶片，並藉由微凸塊進行連接，凸點間距為 36 微米。在實際應用中，Foveros 技術被用於 Intel 自家的 Meteor Lake 處理器，採用多個製程節點的晶片，充分實現晶片的異質整合，例如 Intel 4 製程的 CPU、台積電 N5 製程的 GPU，以及 N6 製程的 SoC 區塊，這些不同的區塊經由 Foveros 封裝技術整合在一起，實現高效的 3D 互連。

(3) Foveros Direct

Foveros 技術的進一步發展是 Foveros Direct，為基於混合鍵合(Hybrid Bonding)的 3D 封裝方案，於 2023 年推出。如圖 2.14 所示，與傳統的焊料微凸塊技術不同，Foveros Direct 利用銅對銅的直接鍵合技術實現更高的互連密度，凸塊間距可

縮小至 10 微米以下，顯著提升晶片堆疊的密度和頻寬，並且降低功耗。Foveros Direct 允許晶片或晶圓在"面對面"或"面對背"的方式下直接鍵合，提供更大的產品設計靈活性。



資料來源：Intel；工研院產科國際所彙整 (2022)

圖 2.14、Intel 以 Hybrid Bonding 微縮 Pitch

(4) EMIB3.5D (Co-EMIB)

EMIB 3.5D 先前被稱為 Co-EMIB 技術，是將 EMIB 與 Foveros 技術結合的混合封裝方案。2022 年，EMIB 3.5D 首次應用在 Intel 的資料中心 SoC 中，產品代號為 Ponte Vecchio。由圖 2.15 可見，該技術結合 EMIB 的橫向互連與 Foveros 的縱向堆疊，實現更高效能的異質系統整合。在最新的應用中，EMIB 3.5D 支援超過 1000 億個電晶體、47 個主動晶片塊和 5 個不同製程節點的組合，成為 Intel 量產史上最複雜的異質晶片。



資料來源：Intel；工研院產科國際所彙整 (2024)

圖 2.15、Intel 先進封裝技術架構比較

總體而言，Intel 的先進封裝技術布局展示其在半導體封裝整合領域的技術實力，透過 EMIB 與 Foveros 技術的相輔相成，提升當前晶片產品的效能與成本效益，也協助 Intel 朝著為未來 2030 年實現在單一封裝中容納 1 兆個電晶體的目標邁進。

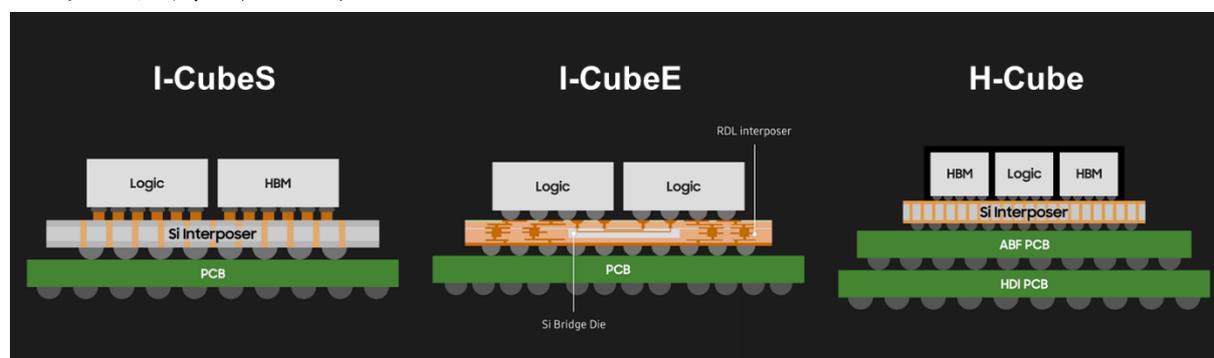
3. Samsung

Samsung 為現今三大先進製程晶片製造商之一，如同台積電及 Intel 的布局，Samsung 亦積極開發高階晶片整合封測技術，推出多項具有獨特結構和性能優勢的 2.5D 和 3D 封裝技術，包含 I-Cube、H-Cube 和 X-Cube 系列，幫助自家先進晶片產品降低成本及提高效能，更針對不同的應用場景提供靈活的解決方案。

(1) 2.5D I-Cube/H-Cube

I-Cube 技術包含 I-CubeS 和 I-CubeE，均屬於 2.5D 封裝技術，專為高頻寬記憶體與邏輯晶片的高效能整合而設計。I-CubeS 的結構採用大型矽中介層，能夠在 $85 \times 85 \text{mm}^2$ 的封裝內同時容納多達 8 個 HBM 和 2 個邏輯晶片，微凸塊間距為 $40 \mu\text{m}$ ，互連層的 C4 間距為 $150 \mu\text{m}$ 。I-CubeE 則透過矽嵌入結構及扇出型面板級封裝(FOPLP)，將矽橋嵌入到無 TSV 結構的 RDL 中介層中，可在確保高效能的同時，提供更具成本效益的解決方案。隨著技術的發展，I-Cube 技術的互連層尺寸將進一步擴大至 $100 \times 100 \text{mm}^2$ ，微凸塊間距縮小至 $25 \mu\text{m}$ ，C4 間距縮小至 $125 \mu\text{m}$ ，支援 12 個 HBM，適用於 AI 和數據中心等應用。

H-Cube 技術是 Samsung 在 2.5D 封裝領域的另一創新，如圖 2.16 所示，其採用混合基底結構，結合精細圖案化的 ABF 基底和 HDI 基底技術，實現更大的封裝尺寸，因而在成本效益和性能之間取得良好平衡，適合在為 HPC 和 AI 應用提供高效的封裝解決方案。

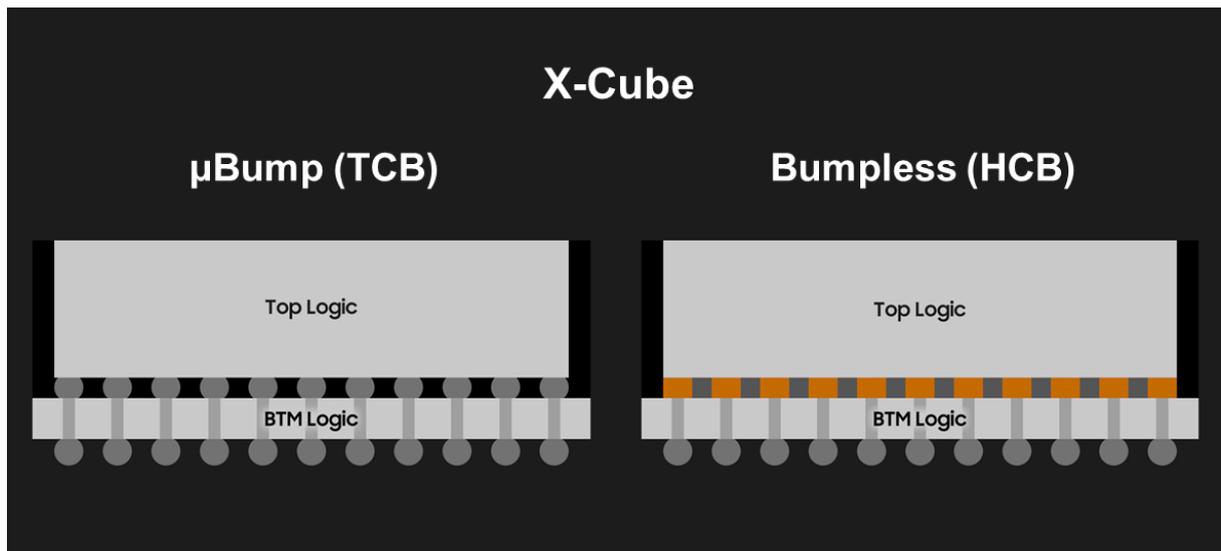


資料來源：Samsung；工研院產科國際所彙整 (2024)

圖 2.16、Samsung 2.5D 先進封裝技術架構比較

(2) 3D X-Cube

X-Cube 是 Samsung 在 3D 封裝技術上的重大突破，藉由垂直堆疊記憶體與邏輯晶片，顯著提高了互連效率並降低大型單晶片的良率風險。X-Cube 技術目前分為 TCB（微凸塊技術）和 HCB（銅混合鍵結技術）兩種。TCB 技術已達到量產階段，微凸塊間距為 $25 \mu\text{m}$ ，矽片厚度為 $40 \mu\text{m}$ ，適用於先進記憶體與處理器。HCB 技術則提供更高密度及更細間距的連接，微凸塊間距縮小至 $4 \mu\text{m}$ ，矽片厚度減少至 $10 \mu\text{m}$ ，滿足 HPC 和 AI 應用對高 I/O 密度的需求。HCB 技術亦改善熱管理性能，提供更優異的能源效率。請參閱圖 2.17。



資料來源：Samsung；工研院產科國際所彙整 (2024)

圖 2.17、Samsung 3D 先進封裝技術架構比較

目前 Samsung 在記憶體應用方面的 3D-IC 技術上發展較為成熟，儘管在 2.5D 和 3D 邏輯 IC 封裝技術上相對於台積電和 Intel 稍顯落後，但三星的優勢在於其全面的業務組合，涵蓋從記憶體、處理器設計、製造到先進封裝的各個環節，使其在封裝技術上能夠提供具有成本效益、高效能和高密度的解決方案。

4. 日月光

小晶片設計日趨主流，進一步提升將多個晶片整合到單個封裝內的需求，而全球封測第一大廠日月光在異質整合及高效能運算領域中不斷擴展其封裝技術版圖，包含以下 VIPack 平台、FOPoP (扇出型堆疊封裝)、FOCoS-Bridge (Fan-Out-Chip-on-Substrate-Bridge) 與 FOEB (Fan-out Embedded Bridge) 等關鍵技術：

(1) VIPack

2022 年，日月光推出 VIPack 先進封裝平台，是以 3D 異質整合為關鍵技術的先進互連技術解決方案，建立完整的協同合作平台。由圖 2.18 可見，從針對消費型智慧手機及手錶產品的 FOPoP，到高階伺服器的 2.5D/3D 封裝技術都具備。當人們生活逐漸走進以數據為中心的時代，隨著人工智慧、機器學習、5G 通訊、高效能運算、物聯網和汽車應用數據的成長，帶動半導體市場近年來亦快速成長。各種應用都要求封裝解決方案在相對低成本狀況下實現高效能及低功耗，因此封裝愈顯關鍵。日月光利用先進的 RDL 製程、嵌入式整合以及 2.5D/3D 封裝技術，協助客戶實現多個晶片在單一封裝中的高度整合。



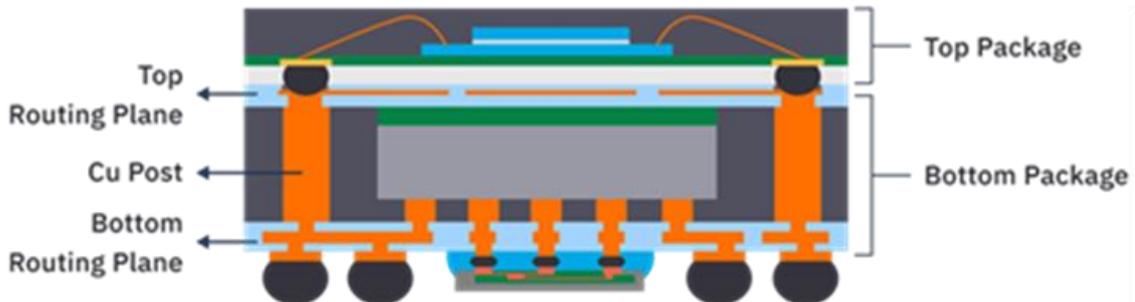
Source : ASE

資料來源：日月光；工研院產科國際所彙整 (2022)

圖 2.18、日月光 VIPack 先進封裝平台

(2) FOPoP

2023 年，日月光推出 VIPack 平台中新款 FOPoP 技術，透過在頂部堆疊標準封裝，並在底部使用扇外型封裝，中間使用細間距鍍銅柱進行連接，實現層結構間的緊密互連（如下圖 2.19）。FOPoP 的結構中，扇出封裝底部的 RDL 具備高密度的 I/O 引腳，並減少寄生效應，頻寬密度提高 8 倍，引擎頻寬擴展每單位達到 6.4 Tbps，使其在高效能應用中如網路通訊和移動設備等領域中具備出色的表現。此外，FOPOP 的 3D 堆疊結構在光子積體電路(PIC)以及控制器之間提供更短的互連，從而支持更高的數據傳輸速度。



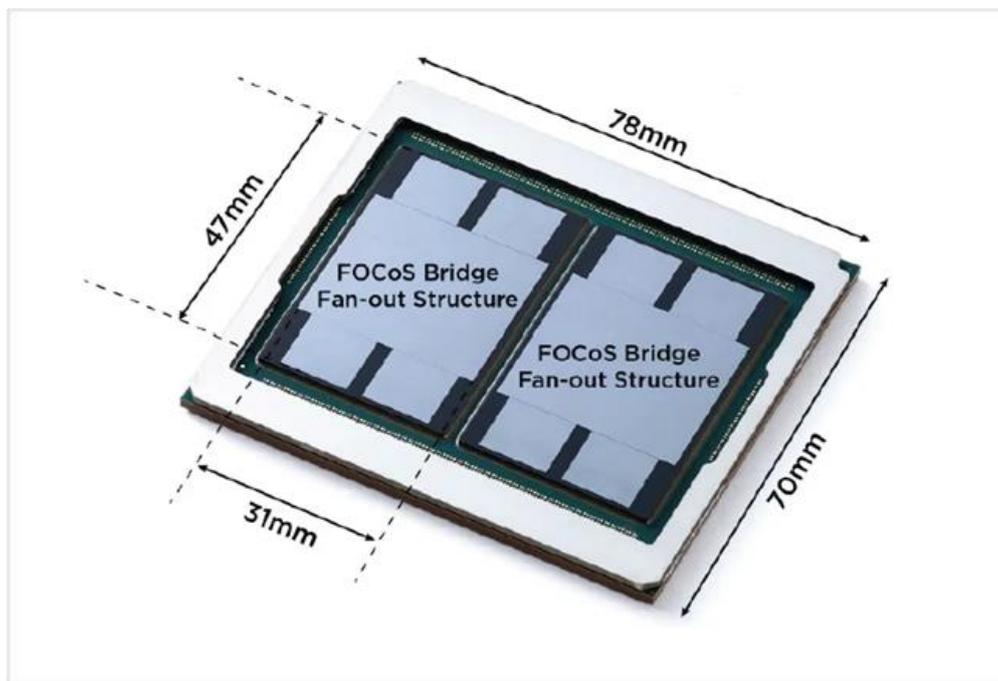
資料來源：日月光 (2023)

圖 2.19、日月光 FOPoP 技術架構

(3) FOCoS-Bridge

2023 年 6 月，日月光宣佈同屬 VIPack 平台中的 FOCoS-Bridge(Fan-Out-Chip-on-Substrate-Bridge)實現最新技術突破，透過 8 個橋接連接，整合 2 顆 ASIC 和 8 個高頻寬記憶體元件。如下圖 2.20 所示，其在 70mm x 78mm 尺寸的大型高效能封裝體中納入兩顆相同尺寸 — 47mm x 31mm 的 FOCoS-Bridge 的扇外型封裝結構。相較於 2.5D 矽中介層技術，日月光 FOCoS-Bridge 技術可提供較低成本的解

決方案，省去 TSV 製程，採用矽橋嵌入扇出 RDL 層中，進而提供高密度晶片對晶片連接(D2D)、高 I/O 數量和高速訊號傳輸，滿足 AI、HPC 需求。

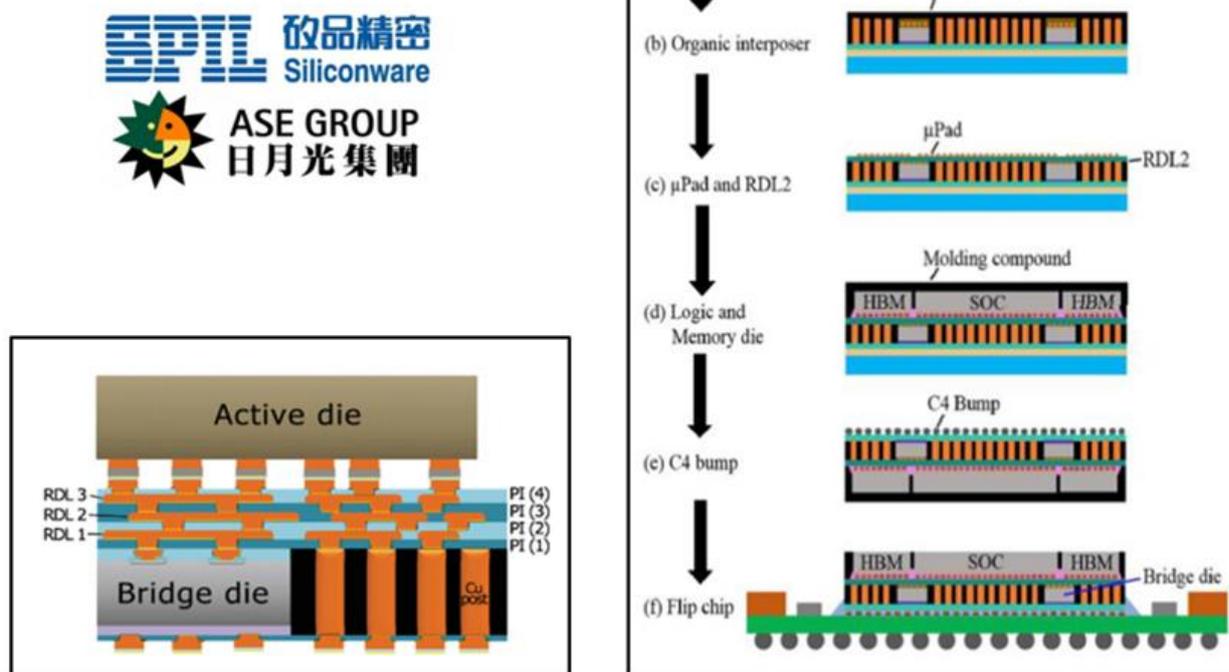


資料來源：日月光 (2023)

圖 2.20、日月光 FOCoS-Bridge 封裝體

(4) FOEB

FOEB 是日月光旗下矽品公司開發的技術，專為高密度晶片整合設計，適用於需要更高頻寬和 I/O 密度的應用場景。FOEB 技術採用晶片面朝上(Chip face up)的方式，利用銅柱與 RDL 進行訊號溝通。此技術無需 TSV 製程，使得上下層晶片之間的訊號傳輸更為穩定。當連接的 I/O 數量增加或需要更高頻寬時，日月光亦推出包含 TSV 技術的 FOEB-T，進一步提升封裝技術的靈活性和應用範圍，然而底部 RDL 與 Die 連接的精準度是製程挑戰。請參閱圖 2.21。



資料來源：日月光；工研院產科國際所彙整 (2022)

圖 2.21、日月光集團旗下矽品的 FOEB 技術

(三)先進封測全球擴廠布局動態

在全球半導體產業中，為因應晶片生產技術的複雜性和多元化，在過去既有的背景下形成全球高度專業分工的供應鏈。各地區根據自身優勢扮演不同角色，例如歐美國家主導電子設計自動化(EDA)、核心智慧財產權(IP)、晶片設計與先進製造設備，而亞洲地區以其強大的基礎設施和熟練勞動力，在晶圓製造與後段封測領域處於領先地位。亞洲擁有全球九成以上的領先封測廠，不僅是全球封測產能的主要供應者，亦助力於異質整合技術的推動。

然而國際政治與經濟情勢的變遷，全球半導體供應鏈布局思維正逐漸轉變，以往追求成本最小化所奉行的「全球化、專業分工」模式逐漸式微，從而轉向重視區域製造、在地生產的「逆全球化」新常態，從追求生產效率趨向確保生產韌性，以下將歸納四大策略，說明封測業者與領導晶圓廠正對其全球生產基地所進行的戰略性調整，以分散生產風險並拓展市場機會，並分析這些趨勢對未來產業發展的深遠影響。

1. 本地擴產：強化總部國的技術實力

全球封測業者開始加大在總部國的投資，目的在於提高技術實力及供應鏈的應變能力。例如，台積電在臺灣的布局策略顯著，預計未來兩年內的先進封裝產

能已全數被預訂，主要來自 AI 晶片需求的驅動。台積電正在持續擴大其先進封測產能，包括在竹南、銅鑼和嘉義縣的多座工廠，專注於提供最先進的 CoWoS 和 3D Fabric 封裝技術，以應對市場需求的成長。Intel 和 Amkor 在美國的擴產同樣值得關注。Intel 透過在新墨西哥州升級其 Foveros 技術的產能，實現高效能的 3D 封裝；而 Amkor 則在亞利桑那州投資 20 億美元，建立美國規模最大的先進封測廠，專注於高效能運算和移動應用的封裝技術。

2. 歐美日設廠：政策補助與市場需求吸引

隨著地緣政治風險的增加，封測業者加強在歐美日等地的設廠投資，以順應當地政策、就近服務客戶。美國的 NAPMP（國家先進封裝製造計畫）政策吸引台積電、Samsung 和 Hynix 等企業在美設廠，這些企業不僅在美國建立先進封裝產能，也在研發領域展開廣泛合作。歐洲的自主意識促使 Intel 和 GlobalFoundries 加大對區域產能的投入。Intel 在波蘭的新封測廠將與其位於德國和愛爾蘭的晶圓廠協同運作，以提升代工業務的競爭力。同時，GlobalFoundries 也計劃在葡萄牙擴大其封測產能，專注於汽車應用，藉此在亞洲以外的地區建立完整的供應鏈。在日本，台積電和 Samsung 均加大對當地研發中心的投入，專注於先進封裝技術的開發。這些設施的建立不僅鞏固企業在日的研發實力，也顯示出日本在全球半導體產業中的重要地位。

3. 東南亞崛起：新興封測基地的擴展

由於地緣政治風險的考量以及成本的優勢，東南亞地區正在迅速崛起為全球封測產業的重要基地。馬來西亞、越南、新加坡等國家吸引眾多國際封測廠前往設廠，形成具備規模效益的產業聚落。Intel、日月光和 Amkor 分別在馬來西亞和越南擴大其先進封測產能，這些設施專注於高階小晶片封裝和 3D 堆疊技術。馬來西亞檳城成為這一趨勢的焦點，因為其具有較高的勞動力素質和競爭力的成本。

4. 撤出中國：應對地緣政治風險的布局調整

由於地緣政治風險和市場環境的變化，許多臺灣封測廠紛紛自中國市場撤出，將資源重新分配至其他地區。2021 年起，日月光、力成、南茂和京元電子等企業紛紛出售在中國的資產，並將資金投入到高階封測技術的研發和擴產中，以應對全球供應鏈的變動。面對中國內需市場的疲軟、貿易戰引發的業務範圍受限以及資源重新分配的壓力，臺灣封測廠在中國的營運意義逐漸消失。在無法有效控制地緣政治風險的環境下，撤出中國市場成為台廠必要的戰略考量。這種轉變意味著封測產業從過去的西進中國策略轉向重視東進（歐美）和南向（東南亞）市場的新戰略布局。

隨著全球產能布局的快速變化，歐美日等成熟市場因政策導向和高效能封測技術的需求，正佈建當地重要的半導體製造基地。同時，東南亞市場憑藉低廉的勞動力成本和友善的政策，迅速崛起，成為全球封測產業的重要支點。面對這些

變化，領導晶圓廠與封測業者需在全球布局中更加謹慎地進行策略調整，在異質整合技術的發展之下，如何靈活運用區域生產策略，平衡成本與效益，保護並提升核心技術競爭力，將成為產業在未來瞬息萬變的全球市場中屹立不搖的關鍵。

(四)新創企業異質整合技術布局方向

目前 AI 領域中以異質整合為目標的新創公司，主要集中在兩大類技術：AI 晶片及晶片間互連技術，其中晶片間互連技術被視為下一代資料中心的關鍵技術，而矽光子技術則是晶片異質整合與互連中一個重要的發展方向。

矽光子技術透過光訊號取代傳統電訊號，能夠有效提高晶片間傳輸的頻寬及降低能耗，並根據不同的應用場景和需求，可以將矽光子技術分為兩個主要的技術路線：

1. 共封裝光學 (Co-packaged Optics, CPO)：基於乙太網 (Ethernet) 協議，用以取代傳統可插拔光模組，這種技術將光子晶片與交換機晶片進行共同封裝，根據不同的封裝技術，可以實現不同等級的傳輸頻寬。
2. 封裝內光學 I/O (In-Package Optical I/O, IPO)：這種技術主要針對運算晶片之間的互連，將傳統晶片上的電氣 I/O 用光訊號取代，用以解決各種運算晶片 (如 CPU、GPU、TPU 等) 之間的互連問題，與 CPO 相比，IPO 可以達到 5 倍頻寬上限及低 20 倍的延遲，被視為可以解決 AI 運算瓶頸的關鍵技術，特別是在需要高頻寬、低延遲通信的大規模平行運算應用。

目前以光學 I/O 領域的新創公司最受各大資料中心廠商關注，特別是 AMD 及 Intel 急欲尋找能夠與 Nvidia NVLink 相媲美的技術，有助於為終端客戶提升高階 AI 運算系統效能、降低成本，其中下列新創討論度較高：

1. Ayar Labs：目前技術最先進、成熟的新創公司，獲得 Intel、Nvidia、HPE 投資，主要產品為 Chiplet 式的封裝內光學 I/O (IPO) 小晶片-TeraPHY，較傳統可插拔光模組相比，具有模組體積小、10 倍低延遲、4~8 倍高能效及 5~10 倍高吞吐量的優勢。
2. Lightmatter：技術路線最為激進、難度最高，獲得 Google、HPE、Lockheed Martin 投資，主要產品為光電融合的矽光子中介層-Passage，可以提供運算晶片間矽光子整合封裝技術，能夠提供相較於傳統封裝 15 倍大的封裝尺寸、最多 48 塊運算晶片互連及 100 倍的運算頻寬。

新創公司在 AI 技術領域中的角色至關重要，上述業者透過矽光子技術突破現有技術瓶頸，將大幅提升資料中心及運算平台的效能，特別是在 IPO 技術的應用上，新創企業如 Ayar Labs 和 Lightmatter 展示極大的創新潛力與商業機會。隨著市場對高效能、低能耗運算需求的不斷增加，這些初創公司將在推動異質整合

的技術演進中扮演關鍵角色，並有望成為未來 AI 及資料中心領域中的重要推動力量。

三、重點國家相關政策及學研發展方向

隨著全球半導體產業競爭加劇，各國政府紛紛推出針對性政策，以確保本國在技術創新與供應鏈韌性方面的領先地位，其不僅涵蓋對先進製造設施的補助與投資，更注重於半導體前瞻技術的研發與應用推廣。以下將綜整重點國家之相關產業政策，探究其對全球競爭格局的作用，同時總結各國學研機構在異質整合技術的研究方向，分析其對產業應用前景的貢獻。

(一) 重點國家相關政策

1. 美國晶片與科學法案

美國在 2022 年通過的 527 億美元《晶片與科學法案》補助計畫主要包含三大部分，其中 390 億美元為生產激勵計畫(CHIPS Incentives Program)，主要用於美國的先進半導體設施建設，透過提供生產製造補貼，促進經濟和國家安全利益；110 億美元為研發投資計畫(CHIPS R&D program)，用於前瞻設計、先進封測等技術研發；另外 27 億美元則是用於國防相關與培訓半導體勞動力。

(1) 先進封裝製造補貼

在 390 億美元的生產激勵計畫中，除了對成熟製程以及先進製程製造進行補貼外，亦針對特殊製程如化合物半導體、設備材料、以及先進封裝製造進行投資補助。截至目前美國晶片與科學法案生產激勵計畫對於先進封裝之補貼廠商包含 Absolics、Amkor Technology 和 SK hynix。

A. Absolics

Absolics 是南韓 SK 集團旗下 SKC 的關係企業，該公司的玻璃基板技術是先進半導體封裝的重要組成部分，能夠提高晶片效能、減少功耗和系統複雜性，這對於 AI、高效能計算、和資料中心至關重要。美國商務部將提供高達 7,500 萬美元的資金，以支持在喬治亞州卡溫頓建一座 12 萬平方英尺的工廠，開發半導體先進封裝的基板技術，擴大先進封裝用玻璃基板的國內供應，以增強供應鏈韌性。

B. Amkor Technology

Amkor Technology 為美國最大的半導體封測廠，亦為全球第二大半導體封測廠，其先進封裝技術在產業內具領先地位。美國商務部宣布將提供高達 4 億美元的資金以及 2 億美元的低利率貸款，以支持 Amkor 在亞利桑那州皮奧里亞市 (Peoria) 投資 20 億美元建設美國規模最大的先進封裝測試廠。該廠預計將採用最先進的封裝技術，例如 2.5D 技術和其他新一代技術，以滿足客戶對於高效能運算、人工智慧、通訊和汽車等終端市場的需求。這一投資與補助措施將強化美國在先進封裝技術領域的韌性，為台積電、Apple、GlobalFoundries 等客戶提供就近

服務，建立先進封裝生態系統，以確保完整的晶片生產都能在美國境內完成，加強美國經濟和國家安全。

C. SK hynix

SK hynix 是全球前三大的記憶體廠商，美國商務部將提供高達 4.5 億美元的資金以及 5 億美元的低利率貸款，支持其在印第安納州西拉法葉投資 38.7 億美元，建設一座高頻寬記憶體(HBM)先進封裝生產基地及研發設施。這座先進半導體封裝廠將大規模生產下一代 HBM，這些高效能記憶體晶片是圖形處理單元(GPU)的重要組成部分，能增強 GPU 的處理能力，進而訓練人工智慧系統。預計這條產線將於 2028 年下半年開始大規模生產。此外，SK hynix 將與普渡大學等合作制定未來研發項目計劃，包括與普渡大學 Birck 奈米技術中心及其他研究機構和產業合作夥伴進行先進封裝和異質整合研發計畫。隨著先進封裝對人工智慧和其他先進系統的重要性日益增加，SK hynix 此次在美國的先進封裝製造和研發投資，將進一步鞏固美國的人工智慧硬體供應鏈。

(2) 先進封裝研發計畫

美國推動晶片與科學法案中的 110 億美元研發投資計畫，主要目的是提升美國在半導體研發領域的領導地位，減少新技術商業化的時間和成本，進一步加強美國國家安全。整個研發投資計畫主要是由四個不同項目所組成，共同創建一個新的生態系統，分別是國家半導體技術中心(National Semiconductor Technology Center, NSTC)、國家先進封裝製造計畫(CHIPS National Advanced Packaging Manufacturing Program, NAPMP)、美國晶片製造研究所(CHIPS Manufacturing USA institute)、以及量測計畫(CHIPS Metrology Program)。

隨著摩爾定律預測的微縮速度已無法再提升微電子技術的性能，先進封裝技術成為推動應用發展的關鍵，能優化半導體產品的性能，包括提升運算速度、降低功耗、提升功能，同時能降低成本。目前，全球大部分的先進封裝製造能力集中在亞洲，因此擴大美國有限的封裝能力和產能以支持自身半導體製造成為維持美國半導體產業競爭力以及供應鏈韌性穩定的關鍵。

國家先進封裝製造計畫的願景便是讓美國在先進封裝技術領域中取得領導地位，提供美國封裝製造所需的技術支持。2023 年 11 月，美國政府宣布國家先進封裝製造計畫將投入 30 億美元資金，專注於開發先進封裝技術的關鍵創新，並加速這些技術在美國製造企業中的商用規模化應用，投資項目包括開發可擴展至大規模生產的核心技術的研究計畫，建立支持技術擴展的先進封裝試驗設施，提供擴展先進封裝解決方案的資源，以及進行人力資源培訓發展等。

藉由國家先進封裝製造計畫資助的各項活動，加上 CHIPS 製造激勵措施的配合，預計在十年內建立一個可自給自足、可盈利的高產能本土封裝產業，使在美國製造的先進製程晶片能夠在美國境內完成封裝。為達成上述目標，國家先進

封裝製造計畫將在下列六個關鍵領域優先進行投資：

1. 材料和基板(materials and substrates)
2. 設備、工具和製程(equipment, tools and processes)
3. 電力傳輸與熱管理(power delivery and thermal management for advanced packaging assemblies)
4. 與外界通訊的光子學技術和連接器 (photonics and connectors that communicate with the outside world)
5. 小晶片生態系統(chiplet ecosystem)
6. 使用自動化工具協同設計多小晶片系統(co-design of multi-chiplet systems with automated tools)。

2024 年 2 月，該計畫宣布首個開放提案的研發補助項目為先進封裝基板和材料領域，預計將在五年內提供共 3 億美元的獎助資金。目前該項目仍在最後評選階段，截至 7 月底尚未公布獲補助之廠商名單。2024 年 7 月，該計畫發布一份新的意向通知(NOI)，將開展新的研發活動競賽，以建立和加速國內半導體先進封裝的能力。預計將為下列五個研發領域的創新，包含設備、工具、製程與製程整合；電力供應與熱管理；連接技術，包括光子技術與射頻(RF)技術；小晶片生態系統；協同設計/電子設計自動化(EDA)，以及將在先進封裝試點(NAPPF)實施的先進封裝流程原型製作(prototypes)提供總額高達 16 億美元的資金。如下表 2.5 所示。

表 2.5、美國先進封裝相關之政策與計畫推動進程

類型	公布時間	資助廠商/ 項目領域	補助金額	說明
製造補貼	2024 年 5 月	Absolics	7,500 萬美元	<ul style="list-style-type: none"> • 玻璃基板先進封裝技術 • 是第一筆撥給封裝技術廠商的補助
製造補貼	2024 年 7 月	Amkor Technology	4 億美元(以及最高 2 億美元低利貸款)	<ul style="list-style-type: none"> • 採用先進封裝技術(2.5D 技術) • 應用於高效能運算、人工智慧、通訊、汽車等終端市場
製造補貼	2024 年 8 月	SK hynix	4.5 億美元(以及最高 5 億美元低利貸款)	<ul style="list-style-type: none"> • 下一代高頻寬記憶體先進封裝製造 • 供應領先 AI 記憶體產品
研發計畫(NAPMP)	2024 年 2 月	先進封裝基板和材料	3 億美元	<ul style="list-style-type: none"> • 為獲選項目在五年內提供總額 3 億美元的獎助資金，且每筆獎助金額最高可達約 1 億美元。 • 該項目仍在最後評選階

				段。
研發計畫 (NAPMP)	2024 年 7 月	<ul style="list-style-type: none"> • 設備、工具、製程與製程整合 • 電力供應與熱管理 • 連接技術，包括光子技術與射頻技術 • 小晶片生態系統 • 協同設計/電子設計自動化 	16 億美元	<ul style="list-style-type: none"> • 為五項研發領域的創新研發投資提供高達共 16 億美元的資金，預計將為每個獲獎項目提供最高約 1.5 億美元的補助資金。 • 該項目尚未公布申請細節。

資料來源：美國商務部官網；工研院產科國際所彙整 (2024)

2. 歐洲晶片法案

2022 年 2 月由歐洲聯盟委員會(European Commission)推動的歐洲晶片法案(European Chips Act)在歷經長時間的討論，終於在 2023 年 9 月正式立法通過，預計結合民間及公共資金累積投入將達約 430 億歐元，透過三大行動支柱(three pillars of action)，包含歐洲晶片倡議(Chips for Europe Initiative)、供應安全和彈性(Security of supply and resilience)、與監控與危機應對(Monitoring and crisis response)，來解決半導體短缺問題並加強歐洲的技術領先，確保歐盟在半導體技術和應用方面的供應安全、彈性以及技術領導地位，並且期望在 2030 年於全球半導體市場的占有率達到 20%。

表 2.6、歐洲晶片法案三大行動支柱

	項目	說明
支柱一	歐洲晶片倡議 (Chips for Europe Initiative)	透過促進知識從實驗室(lab)到工廠(fab)的轉移，縮小歐盟先進研究和創新能力與其產業開發之間的差距，並推動歐洲企業創新技術的產業化，進一步強化歐洲的技術領先地位。
支柱二	供應安全和彈性 (Security of supply and resilience)	建立了一個對製造投資有利的框架，透過吸引投資和強化製造、先進封裝、測試和組裝方面的生產能力，確保歐盟半導體產業的供應安全和彈性。
支柱三	監控與危機應對 (Monitoring and crisis response)	在成員國和委員會之間建立協調機制以加強成員國之間的合作，監測半導體供應情況，預估需求、預測短缺，並在必要時啟動危機階段。

資料來源：歐洲聯盟委員會官網；工研院產科國際所彙整(2024)

相較於美國的晶片法案，歐洲晶片法案的推動進展緩慢許多。歐盟現階段將其本身資源重點投入於支柱一「歐洲晶片倡議」，以期建構歐洲整體半導體能力與研發創新，將科研實力擴大到產業。該倡議獲得歐盟 33 億歐元的直接資金支持，並預計將帶動包含成員國、計畫相關國家以及相關企業等共 110 億歐元的投資，用於加強現有的研究、開發和創新。

具體來說，歐洲晶片倡議將支持一系列研發活動，包括設立先進的試點生產線(pilot production lines)以加速創新和技術發展、開發基於雲端的設計平台(design platform)、建立能力中心(competence center)網絡促進技能發展、研發量子晶片(quantum chips)，以及設立晶片基金(Chips Fund)以促進債務融資和股權融資的可行性。

歐洲晶片倡議主要由「晶片聯合計畫」(Chips Joint Undertaking, Chips JU)推動。晶片聯合計畫於 2023 年 11 月正式啟動，並徵求第一批創新試點生產線的部署提案，當中就包含先進封裝領域。該計畫提供 16.7 億歐元，邀請希望在成員國建立試點生產線的機構(例如研究和技術相關機構組織)針對四個領域提交提案，此四領域為 7 奈米的完全空乏型矽絕緣層金氧半電晶體(Fully Depleted Silicon on Insulator, FD-SOI)、2 奈米以下先進製程(leading-edge nodes below 2 nm)、異質系統整合和封裝(heterogeneous system integration and assembly)、以及寬能隙半導體(wide-bandgap semiconductors, WBG)。這些試點生產線預期將加速製程開發、測試與實驗，以及設計概念的驗證，縮短從實驗室到工廠的差距，有望促進歐洲半導體領域創新，並強化在全球產業的技術領先地位。請參閱下表 2.7。

表 2.7、晶片聯合計畫第一批試點生產線徵案項目

項目	說明
7 奈米完全空乏型矽絕緣層金氧半電晶體	此種電晶體架構是歐洲的創新，對於高速和節能應用有明顯的優勢。往 7 奈米路線圖邁進將為下一代高效能、低功耗的半導體裝置提供發展方向。
2 奈米以下先進製程	將重點開發 2 奈米及以下(sub-2nm)先進半導體技術，該技術將在運算、通訊、運輸系統、關鍵基礎設施應用中發揮重要作用。
異質系統整合和封裝	異質整合對於創新和提高效能來說是一種越來越具吸引力的技術，它利用先進封裝技術和新穎技術將半導體材料、電路或元件組合成一個緊湊的系統。
寬能隙半導體	重點放在相較於標準矽基元件，能使電子元件在更高電壓、頻率和溫度下運作的材料。寬能隙半導體對於開發高效能電源、更輕重量、更低成本和射頻電子產品是不可或缺的。

資料來源：晶片聯合計畫官網；工研院產科國際所彙整 (2024)

2024 年 4 月，晶片聯合計畫宣布對提交的創新半導體試驗線完成提案評估，並開始與四個相關集團進行討論，目標是在 2024 年前確認簽署相關協議。截至

2024 年 8 月中，四項試點生產線項目中的 7 奈米完全空乏型矽絕緣層金氧半電晶體(FD-SOI)項目以及 2 奈米以下(sub-2nm)先進製程項目已獲得確認。

比利時微電子研究中心(Imec)於 2024 年 5 月宣布將主導一項名為 NanoIC 的試產線計畫，專注於研發和測試 2 奈米以下(sub-2nm)製程的系統晶片(SoC)。該計畫旨在幫助歐洲的產業界、學術界和新創公司掌握先進的晶片製造技術，同時降低技術應用成本，並為汽車、通訊和健康等多元產業提供技術支持。NanoIC 試產線的總投資額預計達 25 億歐元，其中 14 億歐元來自歐洲晶片聯合計畫和比利時 Flanders 政府，其餘 11 億歐元則將由 ASML 等產業合作夥伴提供。除了主導 NanoIC 計畫，Imec 還計畫參與未來的低功耗 FD-SOI 和異質系統整合試產線，進一步鞏固其在先進半導體技術領域的領導地位。

法國資訊技術電子研究所(Laboratoire d'électronique des Technologies de l'information, CEA-Leti)於 2024 年 6 月宣布啟動 FAMES 試產線，將進行五種技術的開發和測試，包括：FD-SOI 技術（涵蓋兩個新世代製程節點，分別為 10 奈米和 7 奈米）、多種類型的嵌入式非揮發性記憶體（如 OxRAM、FeRAM、MRAM 和 FeFETs）、射頻元件（如開關、濾波器和電容）、兩種 3D 整合技術（異質整合和序列整合），以及用於開發電源管理晶片(PMIC)的微型電感器，以支援 DC-DC 轉換器的設計。FAMES 預計將獲得 8.3 億歐元的資金，由晶片聯合計畫和參與成員均等出資。

預計 2024 年下半年晶片聯合計畫將陸續推動異質系統整合和封裝與寬能隙半導體之試產線項目。

3. 德國微電子研究與創新框架計畫

2021 年德國聯邦教育與研究部(BMBWF)發布 2021-2024 年微電子研究與創新框架計畫(Microelectronics. Trustworthy and sustainable. For Germany und Europe)，提供 總計四億歐元的研究經費，支持產學研的專案研究與創新，目標強化德國及歐洲在微電子領域的技術自主能力，減少對其他地區的單一依賴，確保區域技術的獨立性與供應鏈的穩定性。

此框架計畫專注於開發高可信賴的電子技術，特別針對自動駕駛、智慧醫療和工業 4.0 等關鍵應用領域，此外，亦支持節能與可持續發展的電子技術創新，積極推動與氣候目標相符的技術發展，為歐洲的環保與永續發展貢獻力量。

在先進封裝技術領域方面，該框架計畫之研發重心包括多晶片封裝 (Multichip Packages)、系統級封裝 (System-in-Package, SiP)、3D 封裝、堆疊技術(例如覆晶技術)、中介層技術 (例如過孔)、嵌入式封裝、以及扇外型晶圓級封裝 (fan-out wafer-level packaging, FOWLP)、扇外型面板級封裝(fan-out panel-level packaging, FOPLP)等等。

4. 英國國家半導體策略

英國政府於 2023 年發布的《國家半導體策略》，闡述英國將強化在半導體領域的研發與創新能力、支持用於研發轉化的基礎設施以降低創新門檻、以及推動半導體相關教育和培訓人才等。

英國在半導體政策上並不特別追求製造能力，而是採用聚焦式的發展策略，專注於其既有優勢領域如半導體設計、矽智財、化合物半導體等，並透過工程和物理科學研究委員會(EPSC)和英國的創新機構 Innovate UK 資助的公開徵案活動，支持四大類研發活動，包含設計與矽智財（包括處理器和其他晶片設計，以及電子設計自動化工具的開發）、前端製造與製程（矽基與化合物半導體，並涵蓋量子技術與光子技術的應用）、後端製造（先進封裝/異質整合研究，創新 2D/3D 封裝、小晶片等）、系統架構（透過上述技術來構建系統）。

該政策預計在 2025 年前投入多達 2 億英鎊以提升英國半導體產業能力，以創新驅動來提升其在全球市場中的話語權和技術影響力，並計畫在未來十年內投入更多資金來加速這些技術的發展。

5. 日本半導體與數位產業戰略

日本經產省於 2021 年 6 月發表《半導體與數位產業戰略》，制訂了振興日本半導體產業技術發展藍圖。2023 年 6 月發表新版《半導體與數位產業戰略》報告，針對 2021 年 6 月的舊版本做了進度更新，並訂定目標在 2030 年使半導體產值成長達 15 兆日圓，也就是較 2020 年的 5 兆日元提升三倍。

整體而言，日本將推動先進半導體發展分為三個步驟：步驟一為確保當前的先進半導體製造基礎；步驟二為建立並開發下一代半導體技術；步驟三為研究與開發未來前瞻半導體技術。在這三大步驟的框架下，日本經產省針對先進邏輯 IC、先進記憶體、工業用特殊製程半導體（如功率半導體、類比 IC）、先進封裝，及製造設備及材料五大關鍵領域分別提出細部發展策略，其中，針對先進封裝之具體方向如下表 2.8。

表 2.8、日本發展先進封裝之具體策略

三步驟	策略
確保當前先進半導體製造基礎	設置先進封裝研發據點：匯集具領先優勢的封裝材料與設備廠商，整合國內學術單位與聯盟，並與海外研究機構、IDM/晶圓代工廠等合作，建立先進封裝生態系
開發下一代半導體技術	開發 2020 年代後期所需的 2.5D/3D 封裝技術、矽橋 (Silicon Bridge)、混合接合 (Hybrid Bonding) 技術等，並建立在 2nm 世代以後至關重要的小晶片 (chiplet) 技術。
研究與開發未來前瞻半導體技術	開發在晶片內部進行光電轉換的光小晶片、類比數位混合系統單晶片 (SoC) 的技術，以在 2030 年代應用於綠能資料中心、基地台、自動駕駛監視器、遠距醫療、無人機、機器人等。

資料來源：日本半導體與數位產業戰略 (2023)；工研院產科國際所彙整 (2024)

日本現階段持續布局封裝製造基礎並開發下一代半導體技術，試圖建構完整的先進封裝生態系。

日本擁有世界領先的基板、材料及設備製造商。在政府補助下，2021 年 Resonac (原為昭和電工材料) 成立了 JOINT2 (Jisso Open Innovation Network of Tops 2) 聯盟，發展先進封裝技術。該聯盟由多家日本半導體封裝材料、基板和設備製造公司組成，以 Resonac 的封裝解決方案中心為基地，加速下一代半導體封裝評估和製造技術的開發，包括 2.5D 和 3D 封裝等。

為了應對先進封裝技術對高階材料和封裝技術的需求，日本計畫整合國內各製程階段的材料與設備廠商以及學術機構，以建立一個完善的先進封裝生態系。該計畫將以 2022 年成立的先進半導體技術中心¹(Leading-edge Semiconductor Technology Center, LSTC)為基礎，設立先進封裝研究所。這一研究所將結合大阪大學的彈性 3D 封裝協同研究所(F3D)、橫濱國立大學的 3D 異質整合聯盟(3DHI)、東京工業大學的小晶片整合平台，以及專注於開發 2 奈米晶片的日本晶圓製造商 Rapidus 等的研究能量，同時還將與材料及設備廠商、海外研究機構、IDM/晶圓代工廠等合作，打造一個完整的先進封裝聚落。

日本在封裝材料與設備技術上的領先地位，成功吸引了台積電與 Samsung 電子等半導體巨頭在當地設立研發中心。台積電於 2021 年投資 370 億日圓，在日本茨城縣筑波市的日本產業技術綜合研究所(AIST)筑波中心成立 3DIC 研發中心，並獲得日本政府 190 億日圓的補助。該研發中心專注於研究下一代 3D 矽堆疊與先進封裝技術所需的材料，目標在於支援系統級創新，提升運算效能並整合更多功能。Samsung 電子則於 2023 年 12 月宣布，將於 2024 年度在日本橫濱市設立

¹ 先進半導體技術中心(LSTC)是一家技術研究協會，旨在透過先進半導體技術的研究和開發以及人力資源培訓，來支持日本半導體產業的可持續和自主發展。

「先進封裝實驗室」，專注於開發應用於高效能運算(HPC)和 AI 處理器的小晶片整合技術等。該計劃預計在五年間投入約 400 億日圓的資金，而日本經濟產業省也預計將提供最高 200 億日圓的補助支持。

除了補助國外半導體大廠在日本進行技術研發，協助日本的材料和設備廠商融入全球主要半導體大廠的供應鏈並提升競爭力外，日本也計畫建立自身的先進封裝技術與生產能力。2024 年 4 月，日本經濟產業省再度加碼 5,900 億日圓（約 39 億美元）的補助，用於支持 Rapidus 的先進晶片製造計畫，其中 535 億日圓專門指定用於研發先進封裝及其他後端製程技術。Rapidus 計畫與美國 IBM、德國 Fraunhofer 研究所合作，開發包括小晶片整合、2.5D/3D 封裝等技術，期望未來能夠獨立完成 AI 等應用所需的 2nm 以下邏輯晶片前後段製程，進一步強化日本國內的半導體生產與供應鏈系統。

(二) 重點學研機構發展方向

全球半導體封裝技術的發展高度仰賴於各大學術與研究機構在前瞻性研究和技術開發上的持續投入。表 2.9 列舉全球具代表性的封裝技術研發機構，並概述其研究重點與發展方向。

表 2.9、重點學研機構封裝發展方向

國家/地區	機構名稱	機構簡介	封裝研究發展方向
歐洲	Fraunhofer IZM	為德國的應用研究機構，專注於半導體研究，包含封裝技術和微電子系統的開發。該研究所致力於提升電子元件的可靠性和微型化，並推動先進封裝技術在工業中的應用。	<ul style="list-style-type: none"> 晶圓級系統整合部門：3D 整合技術、晶圓級封裝與細間距凸塊技術、密封型微機電系統 (MEMS) 與感測器封裝、高密度封裝技術、3D 整合矽光子、矽光子與電漿子系統、基於薄膜柔性技術的聚合物中介層等 系統整合與互連技術部門：電力電子封裝、矽光子封裝、面板級封裝、扇外型晶圓級封裝、重布技術、生物電子封裝技術等 射頻和智慧型感測器系統部門：高頻封裝

歐洲	Imec.IC-link	為比利時微電子研究中心Imec的服務部門，專注於為客戶提供從設計到製造的專用積體電路(ASIC)研發和試產服務，幫助企業和研究機構加速創新，實現量產。	<ul style="list-style-type: none"> • 透過先進封裝廠提供樣品試產與量產封裝服務，並支援2.5D/3D 先進封裝設計等 • 支援多種 IC 封裝解決方案，涵蓋從導線架和基板封裝、多晶片模組 (MCM) 與晶圓級封裝、系統級封裝、晶圓級晶片尺寸封裝 (WLCSP)等
美國	3D Systems Packaging Research Center (PRC)	隸屬於喬治亞理工學院的3D系統封裝研究中心(PRC)專注於運用2.5D與3D異質整合技術進行先進封裝研究。該中心積極推動封裝技術研發並與業界合作加速創新與量產。	<ul style="list-style-type: none"> • 在先進封裝的各個層面進行研究與教育，包括設計、材料、製程、組裝、熱管理與系統整合等。 • 研究重點和主要應用領域為： • 運算：玻璃面板嵌入式(GPE)封裝、面板級重佈線層(RDL)製程開發、細間距 (<20um) 銅-銅接合等 • 電源(運算與車用)：車用3D堆疊式電源模組、高效電壓降壓和熱管理解決方案等 • 無線通訊：玻璃基板封裝等 • 新興技術：用於高效能運算模組的矽光子技術(SerDes)、次太赫茲應用的有機積層封裝技術、高熱傳導率的薄型晶片黏合膜技術等
美國	Center for Heterogeneous Integration Research in Packaging (CHIRP)	封裝異質整合研究中心 (CHIRP)是賓漢姆頓大學紐約州卓越中心(S3IP)的一部分，致力於開發將不同材料和技術整合於單一封裝中的創新解決方案。該中心與產業及學術界緊密合作，推動創新封裝技術的發展。	<ul style="list-style-type: none"> • 研究重點涵蓋全球互連技術、有效電力傳輸、系統設計、熱管理、新材料、可靠性等基礎與應用領域 • 目前研究計畫為：電噴塗技術製造共形聚合物薄膜、180°C以下低溫細間距銅-錫互連技術、可靠的低溫焊接方法、用於熱電容器與浸沒式冷卻的金屬多孔介質設計、製造與測試
日本	Semiconductor Frontier Research Center (SFRC)	先進半導體研究中心 (SFRC)隸屬於日本產業技術總合研究所 (AIST)，中心涵蓋多個研究團隊，致力於開發次世代半導體元件與製程技術，例如2奈	<ul style="list-style-type: none"> • 3D 整合技術研究團隊之研究內容圍繞3D整合封裝技術，包含：採直接接合3D整合技術開發、窄間距凸塊形成技術開發、基於小晶片的IC模組設計平台開發、超導量子電腦及退火機3D整合封裝技術開發、後金屬

		米晶片製造、3D 堆疊技術等。	層結合矽穿孔技術開發
韓國	Advanced Packaging Integration Center (APIC)	先進封裝整合中心隸屬於韓國工業技術研究院 (KITECH)，致力於開發高效能、高密度的半導體封裝方案，以提升電子系統的整體效能。	<ul style="list-style-type: none"> 研究領域為：半導體封裝及接合製程用材料、先進表面黏著技術、先進半導體封裝互連技術、先進接合製程技術、電子封裝可靠性測試與分析等

資料來源：各研究機構官網；工研院產科國際所彙整 (2024)

總體而言，這些主要學術與研究機構的研究方向不僅展現全球半導體產業對技術創新的需求，也指引 3D 整合、矽光子等未來封裝技術的發展趨勢。這些研究上的突破，將為下一代電子產品的設計與製造提供關鍵技術支援，進一步推動半導體產業的技術創新與應用拓展。

四、小結

在半導體異質整合的發展背景下，第二章透過深入剖析產業鏈現狀、領導廠商的技術布局以及重點國家政策，揭示當前產業面臨的趨勢與挑戰。異質整合技術的複雜性導致產業鏈的重組與深化合作，需要上下游企業的緊密協同。供應鏈從設計工具、晶圓製造到封裝測試的每個環節，都必須整合創新，以提升整體技術的競爭力。領導廠商如 Nvidia、AMD 和 Intel，已經積極採用 Chiplet 架構和異質整合技術來提高產品性能，應對市場對高效能和低能耗的需求。

其次，各國政府正積極推動與支持本土的異質整合技術發展，以確保在全球市場中的競爭優勢。美國的《晶片與科學法案》、歐盟的《歐洲晶片法案》以及日本的《半導體與數位產業戰略》等政策，均強調先進封裝技術的戰略重要性，並提供資金與政策支持，推動本地技術創新和產業升級。

總結來看，異質整合技術的發展呈現出全球化合作與本地化技術創新的雙重趨勢。未來，如何有效整合全球資源，促進技術突破，並在地緣政治風險下維護供應鏈的穩定性，將成為產業競爭的關鍵。技術創新與政策支持的雙重推動下，半導體異質整合技術有望成為引領下一波產業革命的重要驅動力，為全球電子產品市場注入新的活力與競爭力。

參考資料

1. <https://www.nist.gov/chips>
2. <https://digital-strategy.ec.europa.eu/en/policies/european-chips-act>
3. <https://www.chips-ju.europa.eu/>
4. https://ec.europa.eu/commission/presscorner/detail/en/ip_23_6167
5. <https://www.elektronikforschung.de/service/publikationen/microelectronics>
6. <https://www.gov.uk/government/publications/national-semiconductor-strategy>
7. https://www.meti.go.jp/policy/mono_info_service/joho/conference/semicon_digital.html
8. <https://www.resonac.com/news/2023/06/27/2549.html>
9. <https://pr.tsmc.com/chinese/news/2942>
10. https://www.nedo.go.jp/activities/ZZJP_100172.html
11. <https://xtech.nikkei.com/atcl/nxt/news/18/16482/>
12. <https://xtech.nikkei.com/atcl/nxt/mag/ne/18/00001/00431/?P=2>
13. <https://www.izm.fraunhofer.de/en.html>
14. <https://www.imeciclink.com/en/asic-services#package>
<https://sites.gatech.edu/ien-prc/prc-industry-consortium-program/>
15. <https://www.binghamton.edu/centers/chirp/>
16. https://unit.aist.go.jp/sfrc/group_en_tditr.html
17. <https://apic.re.kr/en/research/research-ar>
18. Nidish Vashistha et al., “ToSHI -Towards Secure Heterogeneous Integration: Security Risks, Threat Assessment, and Assurance”, 2022.

第三章 異質整合技術現況及挑戰

異質整合已成為半導體產業的關鍵趨勢，被視為繼摩爾定律後引領技術發展的重要指南。然而，這也帶來了更為複雜的挑戰，需要整個半導體供應鏈的緊密合作來制定有效的應對策略。在此過程中，政府單位與國際半導體產業協會(SEMI)承擔著至關重要的責任，推動供應鏈各個環節發揮各自的專長。整體而言，成功的異質整合依賴於整個供應鏈的通力合作，結合精密設備、先進技術與創新材料，共同應對未來技術發展的挑戰。

一、設備及材料現況與挑戰

展望未來，企業必須著眼於解決方案成本與製程控制問題，特別是在系統級封裝中面臨的設備、材料與製程整合挑戰。在半導體製造領域，隨著摩爾定律的持續推進以及終端應用需求的快速增長，開發高速、微小孔徑、細線寬線距製程已成為提升元件性能與降低功耗的關鍵。這要求設備在精密控制與加工技術方面實現創新，以確保在微米乃至奈米尺度上的製程一致性。

此外，高精密對位設備的應用同樣至關重要，它能夠在多層結構的製造過程中確保各層之間的精確對位，進一步提升製程的準確度與穩定性。低溫接合技術也越來越受到重視，因其能夠在較低溫度下實現可靠的接合，減少熱應力對材料和結構的損傷，並提升元件的整體可靠性與壽命。

在蝕刻工藝方面，乾式蝕刻技術和濕式蝕刻技術共同發揮重要作用。乾式蝕刻技術具有高度的方向性控制和精細加工能力，適合製造微小特徵和複雜結構；而濕式蝕刻技術則憑藉其優異的選擇性與高均勻性，在細微結構製造中起到關鍵作用。透過優化這兩種蝕刻技術，可以實現對不同材料的精確加工，並保持表面光潔度，從而推動更先進製程的實現。

(一)半導體先進封裝設備現況

在 2023 年臺灣電子設備產業白皮書發表記者會中，產業專家指出，未來半導體封裝產業將更加注重技術創新和優化，以提升市場占有率。理事長林士青也呼籲政府擴大半導體設備產業創新條例，加速國際供應鏈在地化，以打造屬於臺灣的完整國際供應鏈生態圈。在政府政策引導之下，臺灣電子設備產業產值在 2022 年已超過新臺幣 4,000 億元，其中，半導體設備產值已達 1,424 億元。全產業將力拼 2030 年臺灣電子設備產值超過 1 兆元水準，這對半導體封裝技術的發展有著直接的推動作用。

半導體封裝產業的發展需要供應鏈整合和合作模式的支持。臺灣廠商在封裝技術方面具有領先優勢，但原料和設備供應商較為分散，議價能力較低。因此，供應鏈整合不僅需要考慮原料和設備供應商，也需要考慮如何與合作夥伴共同創

新，以保持競爭優勢。例如，台積電的 3DFabric 技術不僅為客戶提供了更全面的設計自由和優勢，也影響了整個半導體封裝產業的發展趨勢。在政府積極的政策支持下，臺灣半導體產業實力不斷增強，尤其是在「半導體與先進封裝設備」等多個關鍵領域中。未來，臺灣半導體封裝產業將繼續保持領先地位，並在國際供應鏈中發揮其更重要的作用。

臺灣半導體設備產值已達 1,424 億新臺幣，顯示臺灣在這一領域具有巨大的發展潛力。為了韌性更強的供應鏈和次世代技術的發展，政府和業界需要合作投入更多資源。臺灣的封裝設備製造商需要針對這些機會和挑戰制定相應的策略，以在全球封裝產業中保持競爭優勢。透過加強與原料和設備供應商的合作，提升自身的技術創新能力，以及尋找能夠帶來差異化優勢的市場定位。

在探討先進封裝技術與供應鏈整合後，不得不思考這些技術進步對環境和社會可持續性的影響。尤其在全球環保意識日益提高的當下，如何平衡產業發展和環境保護成為一個亟需解決的問題。特別是在封裝技術領域中的重要性。能源效率、減少耗能和低碳發展不僅是企業社會責任的一部分，也逐漸成為評估先進封裝技術效益的重要指標。接下來我們將探討環境持續性與耗能問題在半導體封裝技術中的角色和影響，以及如何在追求技術創新和市場占有率的同時，兼顧環境和社會責任。

(二)先進封裝市場規模與主要參與者

先進封裝設備市場在 2023 年已展現出強勁增長態勢，隨著 5G、人工智慧(AI)、物聯網(IoT)等高效能應用的興起，需求不斷攀升。全球先進封裝設備市場規模已達數十億美元，並預計在未來數年內持續以 8% 以上的年複合成長率(CAGR)擴大。這些設備主要用於支持各類先進封裝技術，如晶圓級封裝(WLP)、覆晶技術(FC, Flip-Chip)、2.5D/3D 堆疊和系統級封裝(SiP)，這些技術有助於提升晶片性能、降低功耗並縮小體積。

先進封裝市場的主要設備類型包括晶圓凸塊機、接合設備、蝕刻設備、蝕刻設備、晶圓處理與檢測設備等，這些設備對封裝製程至關重要。主要的參與者包括應用材料公司(Applied Materials)、東京威力科創(Tokyo Electron)、科林研發(Lam Research)、ASML 和 KLA 等全球領先設備供應商。這些公司在技術創新、設備性能和市場份額方面佔據領導地位，為先進封裝技術的快速發展提供了強有力的支持，滿足全球半導體市場對更高效能與更高整合度的需求，現階段先進封裝 TSV 及 Fan-Out 製程主要設備供應商如圖 3.1~3.4 所示。



資料來源：工研院產科國際所 (2024)

圖 3.1、先進封裝 TSV 製程主要設備供應商

製程階段	主要設備廠商
Carrier bonding / debonding 	<ul style="list-style-type: none"> Nitto TAZMO ERS LEETECH tok TEL SUSS MicroTec 勤業企業服務有限公司 Kinggroup Enterprises Co., Ltd.
Pick & Place assembly 	<ul style="list-style-type: none"> HANMI 한미반도체 ASMPPT enabling the digital world ASH/BAURA Kulicke & Soffa Besi
Panel level Molding 	<ul style="list-style-type: none"> ASMPPT enabling the digital world TOWA YAMADA

資料來源：工研院產科國際所 (2024)

圖 3.2、先進封裝 Fan-Out 製程主要設備供應商(1)

製程階段	主要設備廠商
RDL, pattern, passivation 	RUDOLPH nano-metrics 2019 innovation... onto SCREEN SUSS MicroTec Canon Nikon orbotech 2019 KLA +
RDL (PVD) 	APPLIED MATERIALS TANGO INTEVAC evatec SHIBAZURA ULVAC creavac
RDL (Plating) 	RAMGRABER mks Atotech ASMP TEL TOKYO ELECTRON SEMYSYSCO Lam RESEARCH UYEMURA
RDL (etch) 	SEMYSYSCO Lam RESEARCH manz SCHMID 弘塑科技股份有限公司 Grand Process Technology Corporation

資料來源：工研院產科國際所 (2024)

圖 3.3、先進封裝 Fan-Out 製程主要設備供應商(2)

製程階段	主要設備廠商
植球Ball mount 	ASMP enabling the digital world Athlete Athlete FA Corporation Minami
切片Dicing 	DISCO ASMP enabling the digital world
檢測Inspection 	RUDOLPH nano-metrics 2019 innovation... onto Nikon KLA Tencor Hakuto Camtek Unity ZEISS BRUKER FRT FORMFACTOR Nordson

資料來源：工研院產科國際所 (2024)

圖 3.4、先進封裝 Fan-Out 製程主要設備供應商(3)

(三)先進封裝製程與設備挑戰

先進封裝技術如三維堆疊、MicroLED 技術和金屬濕式製程設備等，都面臨線寬線距的微縮，這增加了製程的難度和缺陷的出現機會。同時，這些高度專門化的設備需要大量的研發資源和時間，這也提高了成本和風險。

在節能方面需考量：

1. 材料創新：使用更高效導電材料和絕緣材料。
2. 設計優化：透過更有效的散熱設計和能量回收系統。

在可靠性方面則需考量：

1. 長期測試：進行長期的可靠性測試，以預測和解決可能出現的問題。
2. 即時監控：建立先進的監控系統，即時監測設備的運作狀態。

下表 3.1 蒐集了部分先進封裝設備產業目前所面臨的技術挑戰和機會，特別是在技術創新和製程效能方面。要解決這些挑戰，需要跨領域的研究和合作，尤其在降低耗能和提高設備可靠度方面。透過產學合作和持續的研發投資，使臺灣有機會在全球半導體市場中占據有利地位。本節將介紹幾項先進封裝製程中的接合技術與設備的挑戰。

表 3.1、先進封裝設備產業目前所面臨的技術挑戰和機會

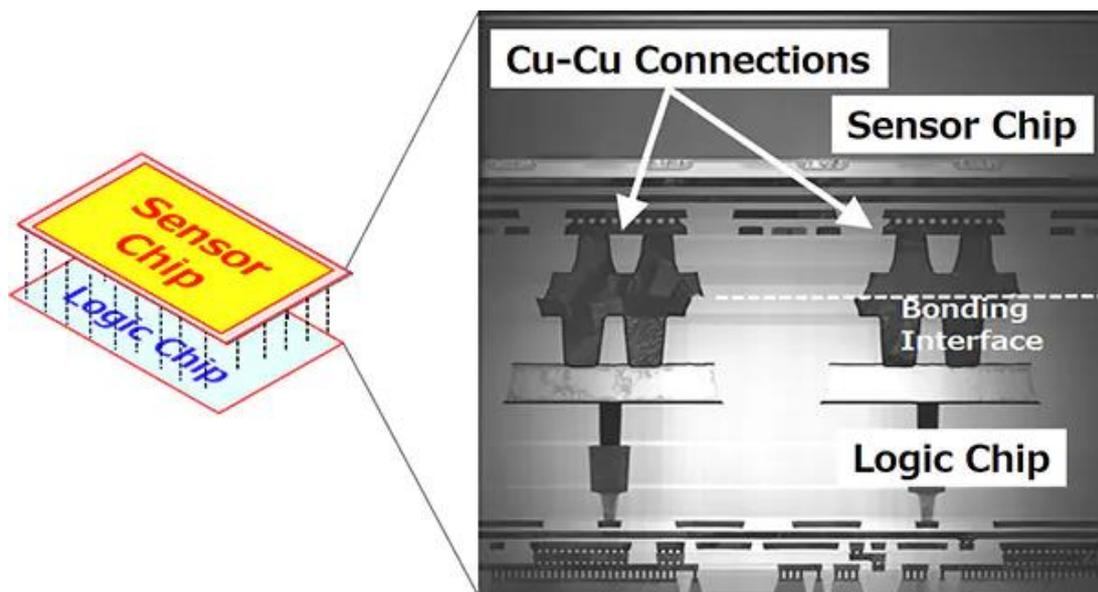
技術挑戰	敘述	可能的優勢	可能的劣勢	機會	威脅
E-chuck 開發 (關鍵零組件)	E-chuck 靜電吸盤, Wafer 載臺的治具 Holder	可以大幅提高製程效率, 具有潛力成為重要的耗材供應者	需要高溫電子陶瓷的鍍膜, 以及精細的溫控系統, 依賴特定客戶的需求	業界希望能有國內廠商提供 E-chuck 系統, 國內廠商若提供這種產品, 降低對外部供應商的依賴	E-chuck 需要大量的投資, 技術要求高, 如果無法滿足客戶的品質要求或供應需求, 可能會損失市場份額
先進封裝製程設備 (Robot 精密機械)	高階封裝技術和晶片堆疊	提升整體效能, 強化製程穩定性	晶片厚度控制難度提高, 需要強大的機械控制系統	隨著微縮技術的極限逼近, 高階封裝技術將有更大的發展空間	需要研發創新設備和製程, 成本較高, 對技術要求較高
先進封裝製程設備 (量檢測設備)	先進封裝的微縮發展和量測挑戰	<ul style="list-style-type: none"> • 有可能帶來新的技術突破 • 高度挑戰可能帶來競爭的優勢地位 	<ul style="list-style-type: none"> • 現階段的量測技術可能無法滿足需求 • 需要開發新量測技術或方法 	新的量測技術和方法的開發可能帶來新的機會	無法解決量測挑戰可能導致產品品質問題
先進封裝製程設備 Through Silicon Via (TSV) (量檢測設備)	需要精準量測 TSV 深度並偵測 Copper 回填中的 void	解決半導體製程中的重要問題, 可能提高整體製程的效率	需要專業技術以確保精準度	有越來越多的需要進行晶片堆疊, 對這種設備的需求可能會增加	如果無法準確地檢測並解決問題, 可能會影響製程的效率和產品的品質
先進封裝製程設備 (RDL 濕式製程設備)	複合式機型的使用和開發	<ul style="list-style-type: none"> • 提供了更全面和有效的清洗解決方案 • 增加了設備的多功能性 	需要投入更多的研發資源和時間來開發和優化	具有更多的應用可能性, 如小線寬、線距設計和 3D 堆疊結構製程	潛在的新型設備開發風險和更高開發成本
先進封裝製程設備 (3D 堆疊、異質整合)	Bond/debond 鍵合/分離製程	多種新的操作方式 (例如: 機械式、雷射、熱熔膠方式等)	需要研發專門的設備, 需要更精細的製程控制	提供各種不同的製程操作方式, 增加了創新空間	過程中可能出現的新問題, 需要時間和投資進行研發解決
先進封裝製程設備	MicroLED 技術和 Chip On Wafer 封裝技術	提升整體效能, 可用於大面積顯示器件	需要進行大量轉移和精密的機械控制	LED 產業的新興需求, 創造更大的發展機會	需要研發創新設備和製程, 成本較高, 對技術要求較高

資料來源：工研院產科國際所 (2024)

1. 銅-銅直接接合技術

在先進封裝技術中，三維堆疊結構的 3D/2.5D IC 成為超越摩爾定律的關鍵技術之一。相較於傳統常見的封裝形式將不同的晶片以平面配置，3D/2.5D IC 透過垂直方式將晶片堆疊整合，縮短晶片間的傳輸距離進而降低電阻與訊號延遲問題。因此透過 3D/2.5D IC 技術除了能夠整合異質晶片於單一封裝之中，並能夠將封裝的 form factor 縮小。不但在電性與效能有顯著的提升，能耗也能進一步縮小。然而對於追求極致細間距的半導體封裝製程，TSV (through silicon via) 有其極限，所以 die to die 或 die to pad 的直接接合技術受到重視。在直接接合材料的選擇上，有以不同種金屬進行接合的固液擴散 (solid-liquid inter-diffusion, SLID) 接合或是以單一種金屬進行接合等方式。然而若使用 SLID 進行接合，在接合面產生介金屬化合物 (intermetallic compound, IMC)。當 bump 的尺寸較小時，成分的變異性過大使得介金屬化合物的組成控制上難度較高，一旦形成硬脆性介金屬化合物，對於元件的可靠度測試是一大潛在風險。

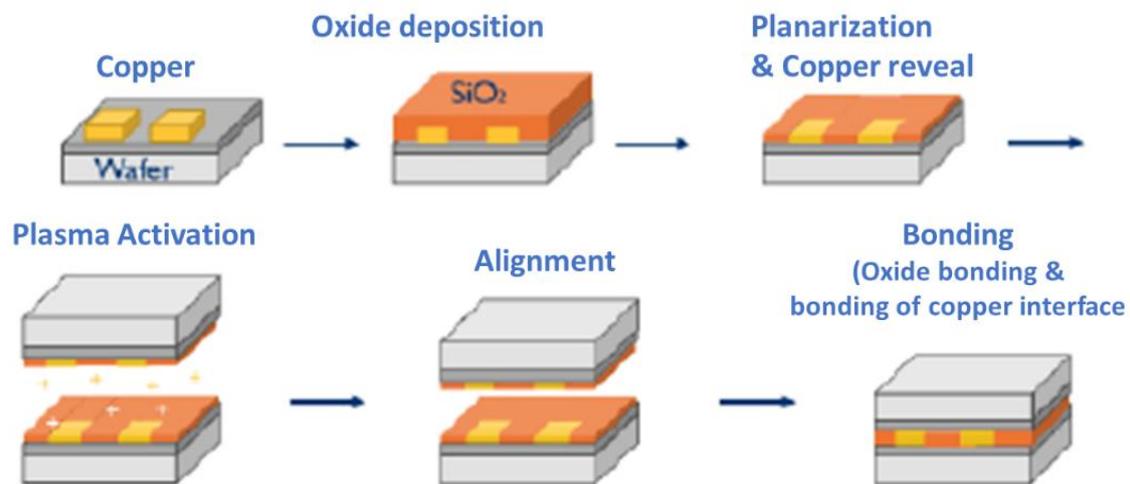
因此以單一金屬進行接合的方式仍為主，其中銅-銅直接接合為各主要廠商的發展目標，在銅-銅直接接合技術上需要克服的是溫度及壓力的參數。如何將接合溫度降低、減少接合壓力以及簡化接合製程環境控制與接合前表面狀態等，成為主要的研發方向。在 2016 年 Sony 成功將銅-銅直接接合技術使用在 CMOS 元件的 3D 封裝上，並順利於 2019 年進行量產。捨棄以 TSV 連接感測器晶片 (sensor chip) 與邏輯晶片 (logic chip) 的三維堆疊方式，利用銅-銅直接接合技術將兩個晶片互聯，如圖 3.5 所示。該方法無須傳統 TSV 的複雜設備與工藝，大幅降低製程成本。在設計上也無須遵循 TSV 的設計準則增加元件的排除區域 (keep out zone)，晶片大小與效能表現上也更加優異。



資料來源：sony (2016)

圖 3.5、以銅-銅直接接合完成三維堆疊的 CMOS 元件

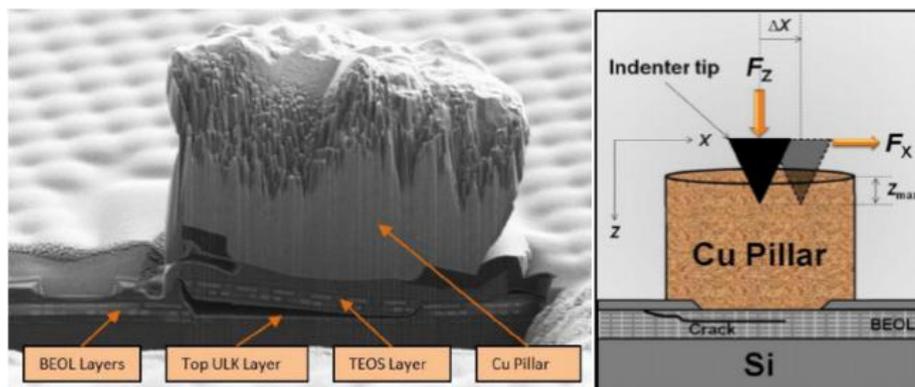
銅-銅直接接合的原理是透過接合介面兩側的銅相互擴散(inter diffusion)，進而消除介面而達成全銅互聯(Cu interconnection)。使用的技術上主要區分成兩大區塊。第一種技術為熱壓接合(thermal compression bonding, TCB)。藉由退火(anneal)進行銅晶面的重組，並結合外加壓力來增加介面之間的擴散行為達成銅-銅對接。由於在接合過程中必須要外加壓力，bump 的總厚度變化(total thickness variation, TTV)控制、接合前對準(alignment)的精準度以及結合過程中晶片是否飄移(die shift)便顯得相當重要。另一種技術為複合接合(hybrid bonding)，在接合過程中不僅是牽涉到單一種金屬間的接合，還包含了其他像是膠材或是介電層的黏合。相較於熱壓接合，複合接合的製程，如圖 3.6，通常先透過介電層材料，不論是陶瓷或是高分子，在相對低溫的環境下先進行黏合固定(通常 $\leq 100^{\circ}\text{C}$)。待黏合後再將溫度提升至退火溫度，藉由相互擴散完成。這樣的方式可以減少在接合過程中晶片漂移的問題，以及避免外加壓力時力量分布不均的問題。



資料來源：工研院

圖 3.6、Hybrid bonding 的製造流程

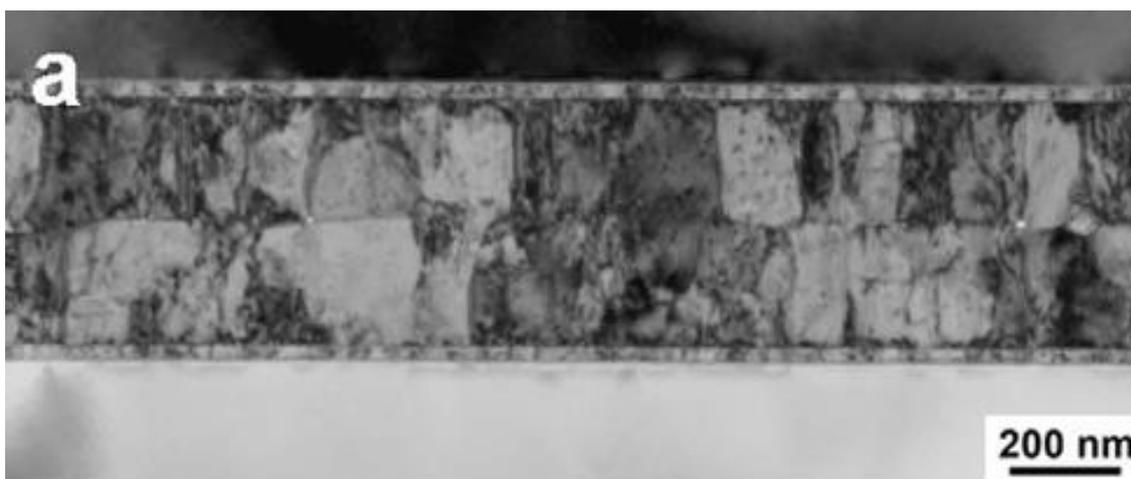
無論是採取哪一種接合方法，外加壓力過大都容易導致接合過程中晶片受損。尤其是晶片後段的介電層在 45 nm 後的技術都乎都採用脆性材料，使得接合過程的中碎裂的風險更高(如圖 3.7)。而晶片在接合過程中，也可能無法承受高溫退火所帶來的熱衝擊，導致晶片失效。因此，低外加壓力以及低接合溫度的銅-銅直接接合製程或是材料成為國內外爭相發展的目標技術。目前幾個比較知名的材料或是製程方法，其目標都是將壓力與溫度在接合過程中對於晶片以及製程穩定度的影響最小化。



資料來源：工研院

圖 3.7、熱壓接合後銅柱底下晶片後段製程的失效情況

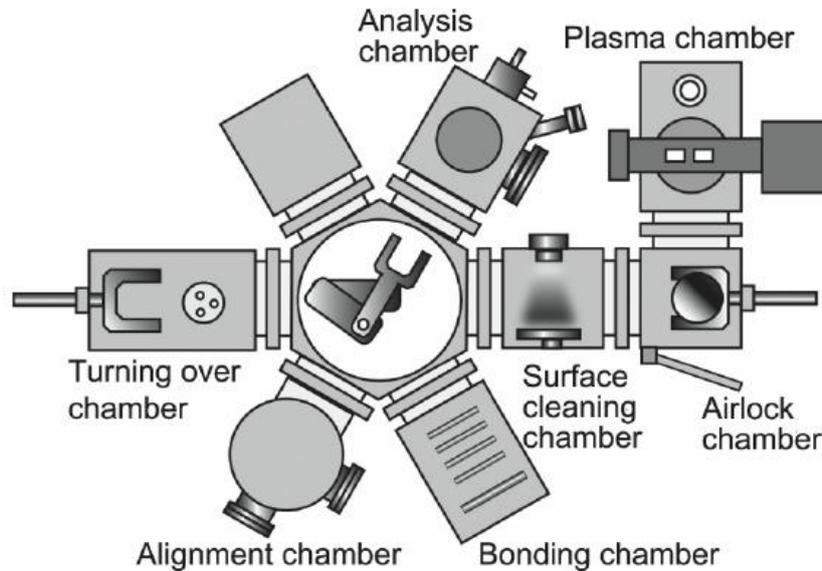
由於銅在(111)晶面的擴散係數為其他晶面的 1000 倍以上，利用這樣的特性將接合溫度與接合壓力降低的研究成為爭相研究的關鍵技術。利用奈米雙晶銅可以將接合溫度降至 150°C ，接合壓力控制在 0.69 MPa ，接合環境的壓力則控制在 10^{-3} torr 。相較於未特別控制鍍層晶面取向大多僅只能將溫度或是壓力下降，性能上的確有顯著的提升。請參閱下圖 3.8。



資料來源：工研院

圖 3.8、使用奈米雙晶銅在 150°C 接合 1 小時的 TEM 影像

藉由表面改質方法將銅接合面活化，進一步來降低銅-銅對接時所需的溫度與壓力是另一個主流的研究方向。表面活化接合的改質方法大致上可分為物理法和化學法，利用氫離子對接合銅面進行轟擊達到清潔與活化的作用，並將接合環境控制在超潔淨環境（超真空環境，壓力必須控制在 10^{-8} torr ），能將接合溫壓力降至 1 MPa 並將接合溫度降至室溫。請參閱圖 3.9。

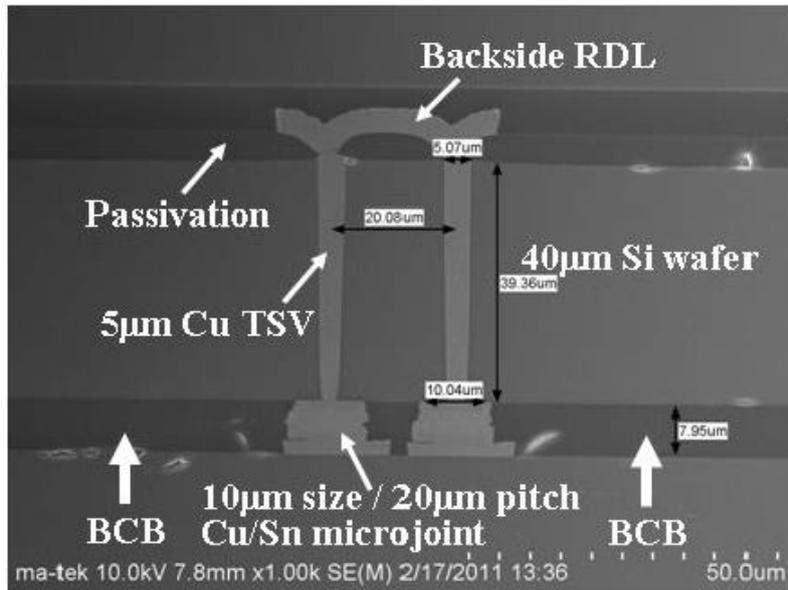


資料來源：AMAT

圖 3.9、SAB wafer bonder 的示意圖

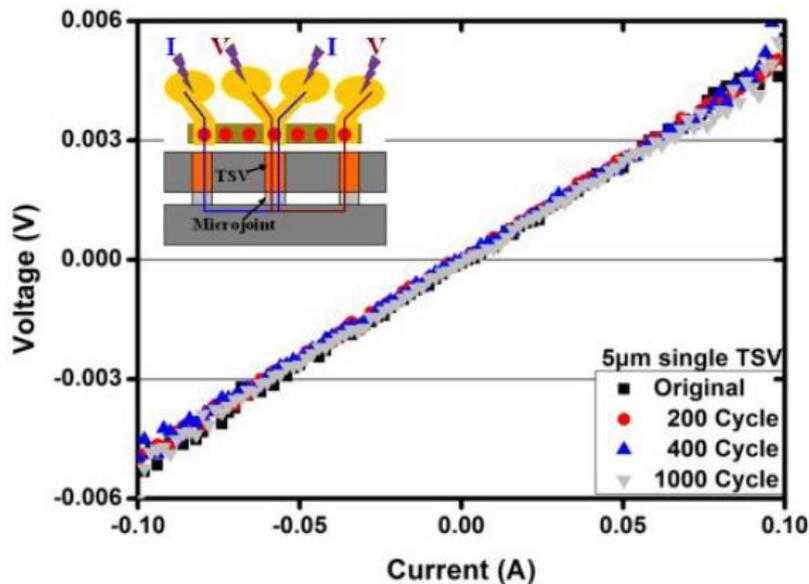
2. TSV 複合接合技術

在先進封裝中，微接合是晶片間互連的重要媒介，它廣泛應用於 C2C 或 C2W 接合方案以及與 TSV 結合用於 3D 整合應用。透過 TSV 和 Cu/Sn 微凸塊垂直互連的兩個晶片堆疊的插入損耗(insertion loss)在可變 TSV 間距下進行了評估。隨著 TSV 間距的增加，插入損耗在低頻區域有所改善，但由於環路電感的增加，插入損耗在高頻區域變得更差並迅速下降。當系統工作在較高頻寬時，TSV 的間距是重要的設計參數。為了滿足吞吐量和成本要求，基於 Cu/Sn 微凸塊和 BCB 黏著層複合接合的晶圓級 3D 整合方案，採用 TSV 製造、微凸塊、複合接合、晶圓減薄和背面 RDL 形成在內的關鍵技術都得到了充分開發和整合，以實現這一目標。5 μm TSV、10 μm 微凸塊、20 μm 間距、40 μm 薄晶圓和 250 $^{\circ}\text{C}$ 低溫 W2W 複合接合已成功整合在 3D 整合方案中。此 3D 整合方案具有優異的電氣性能和可靠性，顯示出在 3D IC 應用中的應用潛力。請參閱圖 3.10、3.11。



資料來源：工研院

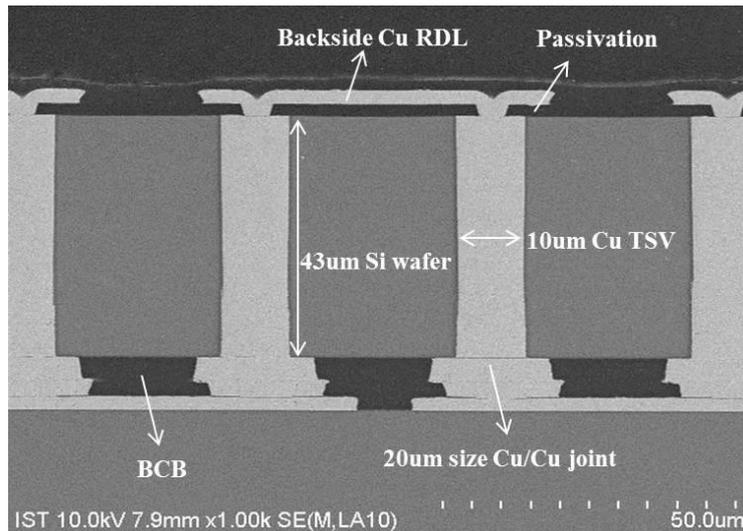
圖 3.10、整合晶圓橫截面 SEM 影像



資料來源：工研院

圖 3.11、微凸點的電壓和電流特性

為可延續並超越摩爾定律之下世代半導體新技術，具有高效能、低功耗、低成本、易於高密度異質整合等優點，可廣泛應用於感測器模組、記憶體堆疊(Wide IO)、邏輯晶片與記憶體堆疊(Logic+Memory)、高效能晶片(Logic+Logic)等產品，被視為是帶來兆元經濟效益的新科技。晶圓/晶片堆疊接合為 3DIC 關鍵核心技術，金屬墊與微凸塊則為多層晶圓/晶片堆疊間電訊互連導通之重要媒介，而堆疊模組之可靠度特性與金屬墊或微凸塊接點之結構設計、材料選用及接合狀況息息相關。請參閱圖 3.12。

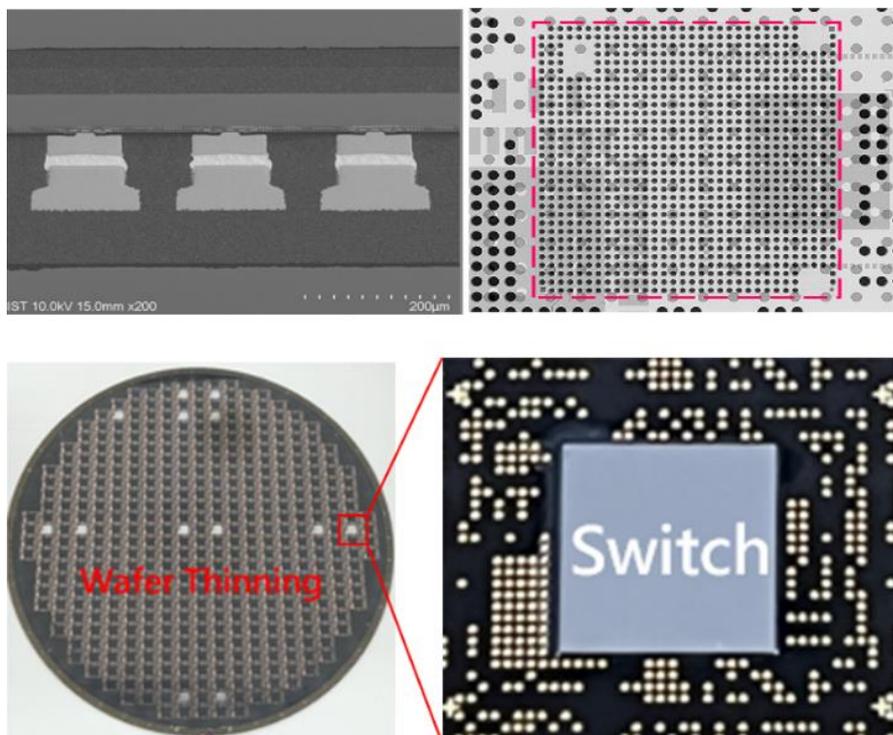


資料來源：工研院

圖 3.12、Cu/BCB 晶圓級銅-銅複合接合堆疊架構

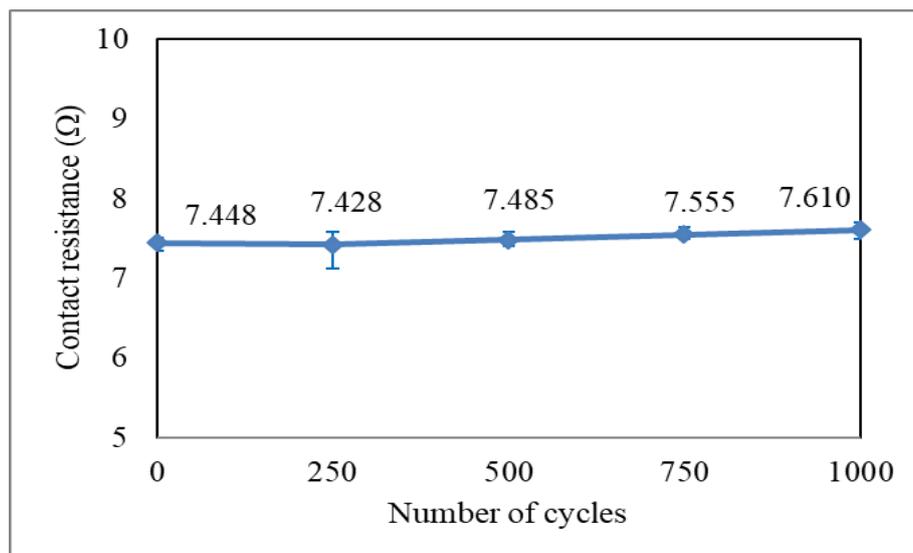
3. 扇外型內埋晶片先進封裝

扇外型封裝技術可提供小尺寸、防輻射、較低成本和高效能，適合低功耗、散熱好、尺寸緊湊和高頻寬的行動通訊應用，例如智慧型手機的量產、便攜式設備和物聯網。為了解決客製化產品小批量生產中良率低、開發成本高的問題，具有可程式晶片的預製高密度 RDL 封裝是提高製造良率和縮短上市時間的解決方案，封裝模組通過了 1000 小時的 TCT、uHAST 和 MSL3 可靠性測試。請參閱圖 3.13~3.15。



資料來源：工研院

圖 3.13、具內埋開關晶片扇外型先進封裝



資料來源：工研院

圖 3.14、TCT 1000 次循環期間的接觸電阻



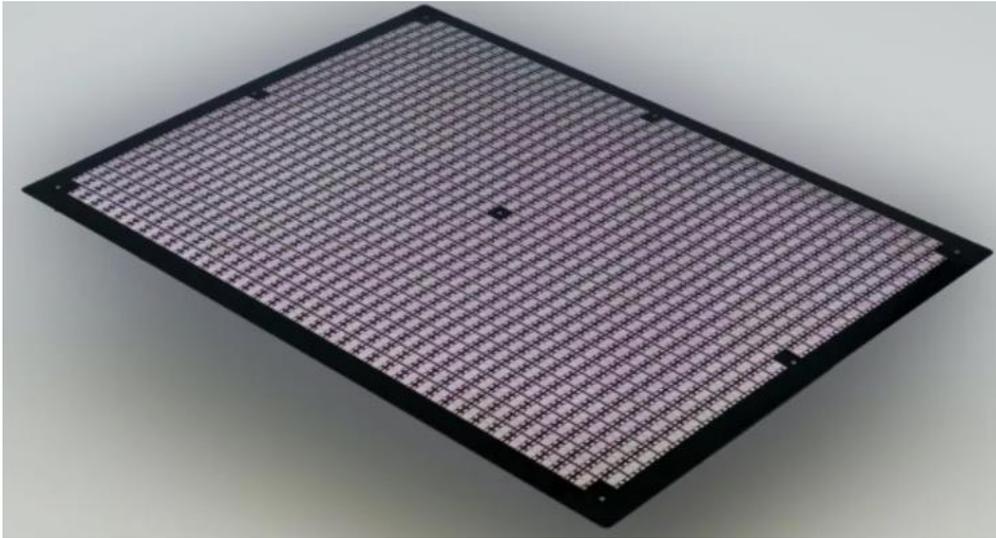
資料來源：工研院

圖 3.15、膠囊內視鏡封裝模組

4. 面板級晶片封裝技術

面板級封裝技術是近年來半導體封裝中的一項重要發展技術。透過使用多層內導線結構，將數個晶片整合到封裝體中，實現高密度封裝製程，達到產品高效能且體積小的要求。隨著大步跨入物聯網、5G 和電動車世代，在市場對於消費性電子產品要求日漸嚴苛的現今，使得面板級封裝技術更加被重視。相對地，在製程及設備上可能面臨許多挑戰。首先，製程中需要更高的精度，因為在更大尺寸的基板上進行封裝容易導致翹曲和應力不均勻的問題。其次，設備的精度要求

也隨之提升，現有的設備可能無法滿足這樣的大規模高精度需求，必須進行升級。請參閱圖 3.16。



資料來源：IZM

圖 3.16、面板級晶片封裝模組

(四)先進半導體封裝材料

隨著先進半導體封裝技術的演進，封裝材料除原本保護晶片、提升封裝元件可靠度的重要功能外，亦逐漸朝向低介電損耗、低介電常數及高導熱的特性趨勢發展；譬如在車用電力電子封裝上，對封裝材料要求具有高導熱、低介電損失、高可靠度、甚至高耐破壞電壓等特性；穿戴式裝置用的電子封裝則要求材料需要具備可拉伸特性、防水抗汗、肌膚相容等特性；部分高頻用元件則要求基板材料(substrate)上需具有低的介電係數(Dk)與介電損失(Df)；且需要考量材料本身具低應力、低硬化溫度、薄型化以及低製作成本；另外高頻軟板材料(FPC)則要求材料需要低介電係數($Dk < 3.2$)、低介電損失($Df < 0.003$)，滿足堆疊 4 層以上製程要求。針對大部分封裝材料技術而言，必須兼具有低應力、高韌性、高接著強度、低收縮、低熱阻等特性才能滿足高信賴性的需求；另一個高度挑戰則是封裝材料與各種材料間的界面間的匹配。目前模封材料大多仰賴進口，主要供應商為日本 NAGASE、NAMICS、Resonac 及 Panasonic 等主要廠商。對於未來相關的車用元件、功率元件、感測器元件及各種高品應用也朝向晶圓級大面積、薄型化封裝技術演進趨勢。

1. 大面積模封材料

就晶圓級模封材料來說可以分為三種型式，包括液態(liquid type) 模封材料、固態顆粒型(granule type) 模封材料及片狀(sheet type) 模封材料，三種模封材料均可以利用壓合模封設備進行模封製程，片狀模封材料亦可以使用真空貼附設備(vacuum laminator)。一次性模封材料(MUF, mold underfill)兼具密封與保護晶片的功能，屬於底部填充並能夠覆蓋 IC 和基板之間，採用 MUF 進行覆晶封裝，屬於

密封處理且為一次工序封裝的底部填充物，由於需要使狹窄間隙的內部均勻，所以一般 MUF 主要皆是採用較細粉體填料，可省去傳統 UF 封裝後再搭配 over-molding 等多道製程工序因此可有效降低製作成本。針對新型多晶片異質整合封裝技術，依據大面積化封裝之高流動性、低應力、低翹曲及高信賴性材料特性基本需求，從材料分子結構/功能設計與合成上進行基礎研發，搭配大面積化封裝製程，開發新型兼具高流動性、低翹曲模封材料技術，滿足產品封裝製程與可靠性要求。

晶圓級模封材料技術的開發，開發方向必須同時滿足低熱膨脹係數(與基材匹配)、低彈性模數(low modulus) 及高流動性等特性，以降低模封製程的收縮量、翹曲量等特性需求。目前晶圓級大面積模封材料供應商大多以日系廠商為主，目前最大供應商為 Nagase 擁有約九成的市佔率，以大面積液態模封材料為主要產品，其他如顆粒型模封材料預期未來使用量及使用比例將會成長，而片狀模封材料則仍處於研發階段。目前大面積液態模封材料除了可以進行 12 吋 wafer 封裝尺寸外，也可進行 panel level 封裝尺寸 500×500mm 以上的模封驗證，這些 MUF 材料已具有相當優異的 low warpage 特性，同時也解決了液態模封材料在大面積化模封易因流動性造成充填不滿或是流痕等問題。另外在薄型封裝技術上也導入 5G 的應用，在低介電損失材料開發上則以片狀材料(sheet material)呈現，透過 B-stage 形成薄膜材料，可以較精準控制模封厚度、有助於薄型封裝應用，不僅具備 flexible 特性、達到低翹曲(low warpage)與應力緩和的特性，同時於材料硬化後也具備高溫下的熱安定性，於 300°C 時僅有 1% 的重量損失，具備封裝材料所需的高接著強度、也符合現在 5G 應用的低介電特性。

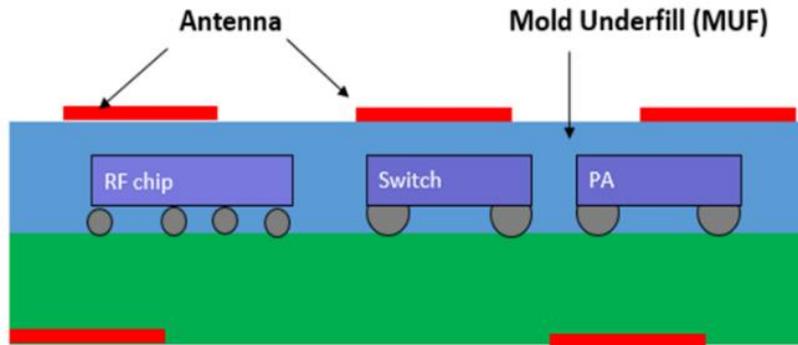
2. 低損耗封裝材料

5G 高頻通訊所面臨的技術挑戰在當訊號在高頻傳輸下，主要會因為傳輸路徑損失、導體損失及介質損失等影響訊號收發的品質。傳輸路徑損失可透過大量或巨量的天線陣列的設計提供很大的陣列天線增益來補償高頻通訊的各項傳輸損失，導體損失主要與金屬線路的粗糙度有關，通常粗糙度越大，會導致較大的導體損失，降低金屬線路表面粗糙度是降低導體損失的策略，但同時也對不同材料間的介面接著性形成挑戰。介質損失則與封裝材料或基板材料的介電特性，如介電常數及介電損耗有很大的關係，因此開發低介電損耗的封裝材料及基板材料將有助於降低介質損失，提升 5G 通訊的品質。

3. 低介電損耗樹脂材料

當無線通訊產品進入 5G 新世代毫米波(mmWave)頻段時，為了克服由於頻率高、波長短、傳輸損耗高、穿透性差，覆蓋率較低的問題，產業界開發出大規模陣列天線技術與小型基地台，強化毫米波的能量，使用更多天線來提高訊號強度，並提高 5G 網路的覆蓋率，所以未來基地台或終端裝置無線通訊模組，都會搭載更多天線，連帶提高 RF 元件的使用量，而使得高頻應用的 RF 前端模組(radio

frequency front end module, RFFEM)的封裝技術，包含天線封裝模組(Antenna in Package module; AiP module)，如圖 3.17 所示，在此封裝結構中，天線負責訊號的接收與傳送，並將訊號送至下方的射頻晶片(RF chip)、功率放大器(Power Amplifier; PA)等晶片組進行訊號處理，由於模封材料(Mold Underfill; MUF)位於天線與晶片組訊號傳遞的路徑上，介質損失對訊號品質造成的影響將被考慮，因此介電損耗樹脂設計及封裝材料開發將會是重要課題。



資料來源：工研院材化所

圖 3.17、天線模組封裝結構

在高頻通訊中訊號傳輸損耗中，介質損失與封裝材料的介電特性有極大的關係，如下列方程式 1 所示，其中 α 代表介質材料的損耗、 K 為常數、 f 為頻率、 c 代表光速， Dk 及 Df 分別表示材料的介電常數及介電損耗特性。從方程式可看出介質損耗與頻率、介電常數的開根號及介電損耗成正比，當頻率提高時，連帶也會使得介質損失增加，但若能有有效的降低介質材料的介電常數及介電損耗，將有助於降低介質損失。

$$\text{方程式 1: } \alpha = K \times f(c \times \sqrt{Dk}) \times Df$$

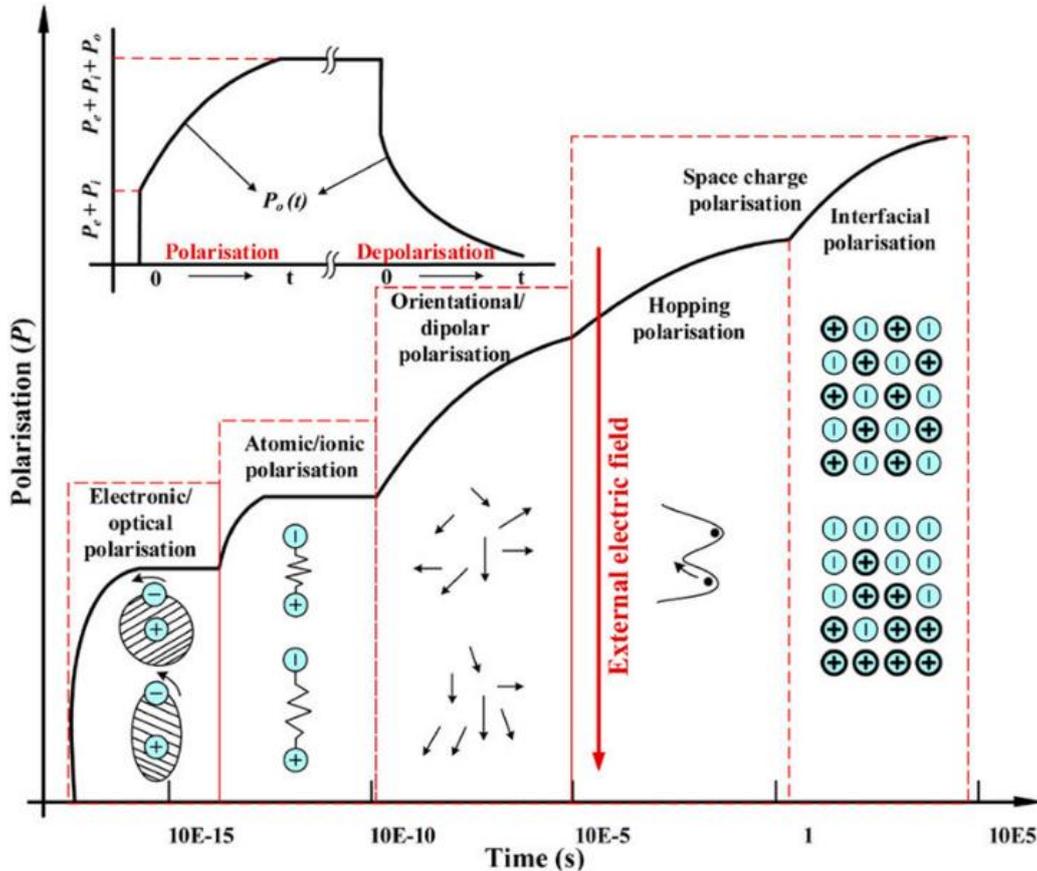
通訊訊號傳輸延遲(Transmission delay: T_d)則與介質材料的介電常數 Dk 相關，如下列方程式 2 所示，訊號傳輸延遲與介電常數的開根號成正比，降低介質材料的介電常數，可降低訊號傳輸延遲。

$$\text{方程式 2: } T_d = K \times \sqrt{Dk}$$

由上面兩組方程式得知，應用於高頻通訊的傳播介質材料需要低介電常數(Dk)和低介電損耗因子(Df)的特性，且在寬頻率範圍內最好能保持介電特性的穩定性，以目前對高頻低介電材料的 Dk 要求，至少落在 2.8-3.2 之間， Df 也需在 0.003~0.008 範圍，遠遠小於 4G 對 Dk 要求 3.4-3.7 之間及的標準，而低介電材料對於不同的應用類別，對介電損耗的要求不同，例如在基板材料的應用，因為訊號的傳輸路徑較長，因此對 Df 的要求也更嚴苛，通常在大於 10GHz 的頻率下 Df 的要求需小於 0.003，但在模封材料應用，由於訊號傳輸路徑較短，對封裝材料的 Df 要求不若基板材料那麼嚴苛，但仍落在 0.003~0.008 的範圍。

介電損耗是指介質在電場作用下，由於介質極化(dielectric polarization)的弛豫

過程，如圖 3.18 所示，在其內部所引起的能量損耗，也就是說在某一頻率下，外加電場供給介質的電能，其中有一部分，因強迫固有偶極矩的轉動而使介質產生熱，能量以熱的形式消耗，因此介質損耗可反映微觀極化的弛豫過程，而介質中的電場減少與原外加電場（真空中）的比值即為相對介電常數(relative permittivity 或 dielectric constant)，又稱誘電率。如果有高介電常數的材料放在電場中，電場的強度會在電介質內有可觀的下降，而根據物質的介電常數可以判別高分子材料的極性大小，通常相對介電常數大於 3.6 的物質為極性物質，相對介電常數在 2.8~3.6 範圍內的物質為弱極性物質，相對介電常數小於 2.8 為非極性物質。



資料來源：J. Phys. D: Appl. Phys. 49 (2016)

圖 3.18、Polarization types of normal dielectric materials

欲獲得低介電常數材料設計，必須選用非極性分子材料，由下列 Clausius - Mosotti 方程式 3 所示，將介電常數 ϵ 與極化率 α 聯繫起來，公式中 N 為單位體積內的極化分子數， α 為分子極化率，是電子和離子極化率之總和， ϵ_0 為真空電容率(或稱為真空介電常數)。

方程式 3：Clausius - Mosotti

$$\frac{\epsilon - 1}{\epsilon + 2} = \frac{N\alpha}{3\epsilon_0}$$

由上式降低材料介電常數的策略有：

1. 降低分子極化率 α ：選擇並設計低極化能力的材料結構
2. 減少單位體積內極化分子數 N ，這可以透過降低材料密度來實現

因此在結構設計合成中需注意幾個要項：

1. 在結構設計上盡量避免有極性或吸水性基團設計如(-OH)、(-COOH)、(-CONH-)...等基團，因為水的介電常數通常為 80 左右，極性官能基團吸水後增加材料的介電常數。
2. 引入含氟基團(-F)、亞甲基(-CH₂-)、脂環基團（如環己基等）等可有效降低極化能力而使材料的介電常數降低。
3. 分子鏈如果是直鏈，分子鏈較易排列規整，而得到較高的密度，而具有支鏈結構的話，密度會比直鏈的來的小。
4. 引入如苯基，叔基等可有效佔具空間體積，因而降低材料的介電常數。
5. 空氣的介電常數近似 1，因此材料中含有納米、微米級的微孔或矽氧烷結構（如 POSS 的結構），將可以降低材料的介電常數。

隨著材料對低介電損耗要求日益提升，由理論得知若要設計出低介電材料，其結構設計逐漸是轉往碳氫樹脂(Hydro-carbon Resin)、環烷烴或聚烯(Polyolefin)材料發展，因其具有極低介電損耗性可達 D_k/D_f 值約 2.1/0.0004。但是在結構上並無剛硬結構設計可能導致機械性不足，又因為無極性官能基存在，使得黏著性不夠，尤其樹脂聚合時是否能有效形成交聯結構，將對材料的耐熱性和介電損耗的大小有很重要的影響，因此如何設計出低介電損耗樹脂材料又保有封裝材料對封裝模組信賴性的特性要求，在結構設計上都要考慮進去。

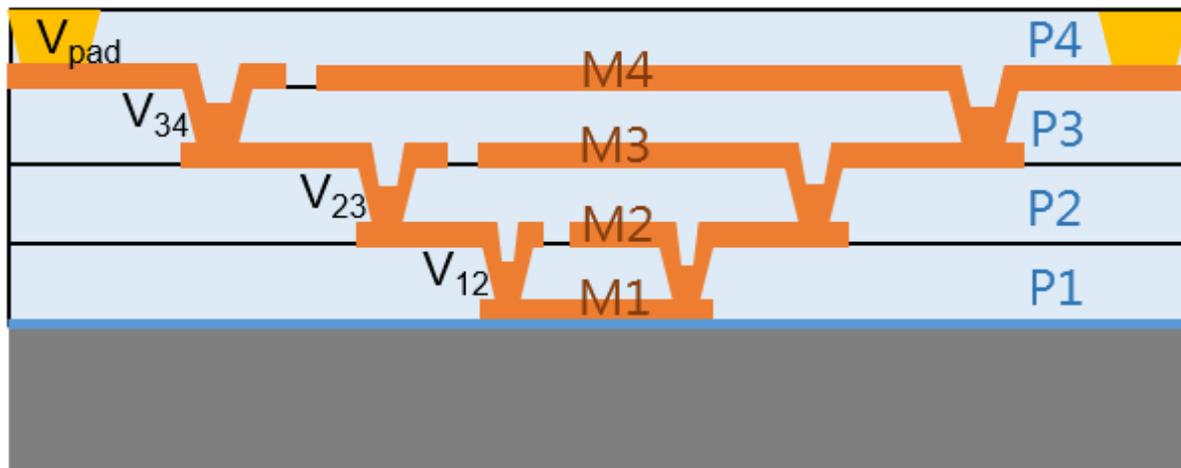
二、先進封裝技術現況與挑戰

隨著摩爾定律逐漸放緩，半導體工業轉向先進封裝技術，以繼續提升晶片的性能和功能密度。物聯網、5G 網路傳輸通訊、人工智慧運算、虛擬擴充實境演算、穿戴式電子產品、智慧家電等應用相繼興起，大幅增加高速運算、寬頻傳輸、低延遲、低功耗的高效能晶片的需求量。為了滿足晶片維持小體積，同時又保有高效能的需求，半導體 IC 布局設計朝向異質整合概念發展。高密度先進封裝除了上述 TSV 技術以及銅對銅直接接合技術之外，扇外型封裝技術是目前最熱門的封裝技術之一，扇外型封裝技術是一種將晶片上的 I/O 連接點從晶片本身“扇出”到封裝基板上的技術。這種技術可以在不增加封裝尺寸的情況下，顯著增加 I/O 密度和性能。扇外型晶圓級封裝利用重分佈層橋接電路，省去封裝載板、打線、凸塊等製程技術，可大幅微縮封裝體積外，還可應用於異質整合與系統級封裝。扇外型晶圓級封裝核心的 RDL 技術，也得到了業界更多的關注。重分佈製程是將原設計的 IC 線路接點位置(I/O pad)，透過晶圓級金屬佈線製程和凸塊製程來改

變其接點位置，使 IC 能應用於不同的元件模組。

晶圓級金屬佈線製程是以曝光顯影的方式定義新的導線圖案，接下來再利用電鍍和蝕刻技術製作新的金屬導線，以連結金屬墊(Metal pad)或凸塊(Bump)，達到線路重新分佈的目的。重分佈製程能改變線路 I/O 原有設計，增加原有設計的附加價值，能加大 I/O 的間距，提供較大的凸塊面積，降低基板與元件間的應力，增加元件的可靠性，並能取代部分 IC 線路設計加速 IC 開發時程。為了保有小體積及高效能，RDL 也朝向更高解析、更細線寬/線距的金屬導線發展，同時 RDL 的堆疊層數也越來越多。本文以開發高解析度的 2 μm 細線寬製程為例，製作對應的 4 層鈍化層(Passivation layers)，最後並進行 Daisy chain 電性 On/Off 的量測得到電性結果，其中 Daisy chain 串接的 Cu pad 超過 6000 個。

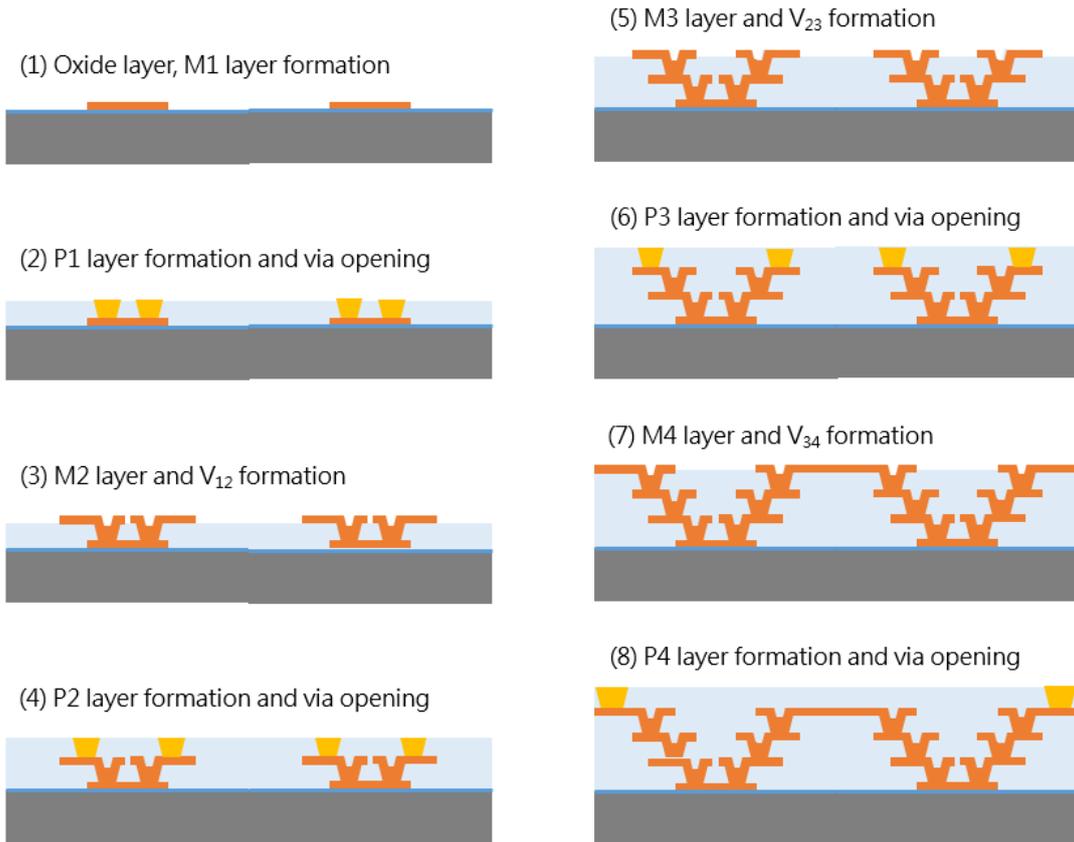
4 層鈍化層及 4 層 Cu 金屬層(4P4M)，並用 Cu via(導通孔) 來做上下層的導通，串成上下導通的 Daisy chain，其堆疊架構的示意圖就如圖 3.19 所示。



資料來源：工研院

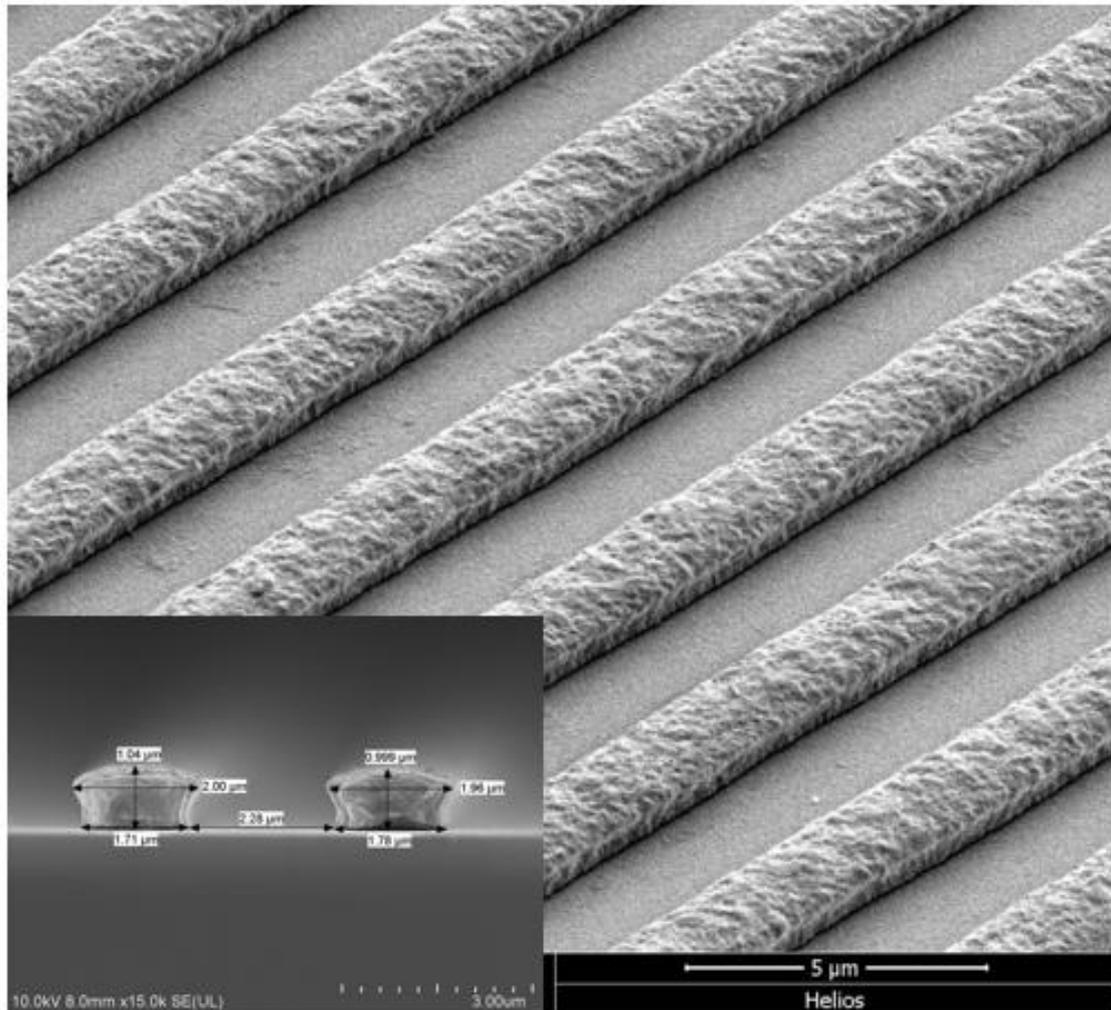
圖 3.19、4P4M 及 Via 導通孔的堆疊架構示意圖 (Not-to-scale)

製作流程(Process flow)如圖 3.20 所示，包含了步驟(1)到步驟(8)，在步驟(1)，採用 12 吋的 Si wafer 當基板，並用電漿化學氣相沉積(PECVD)先在上面沉積一層氧化物，以確保良好的絕緣性，隨後用真空濺鍍機進行物理氣相沉積(PVD)來分別沉積 Ti 及 Cu 薄膜，作為種子層(Seed layer)，接下來進行旋轉塗佈(Spin coating)來上一層光阻，然後進行曝光及用顯影液進行顯影的圖案化製程，由於第一層(M1)金屬導線包含了 2 μm 的線寬，所以採用了 1.5 μm 的光阻厚度，並用電鍍(Electroplating)的方式來形成 1.2 μm 厚度的金屬導線，隨後進行去除光阻、去除 Ti 及 Cu 種子層的製程，至此就完成了步驟(1)的製程，在步驟(1)中實現了 2 μm /2 μm 線寬線距的金屬導線。圖 3.21 為掃描式電子顯微鏡(SEM)上視圖及剖面圖。



資料來源：工研院

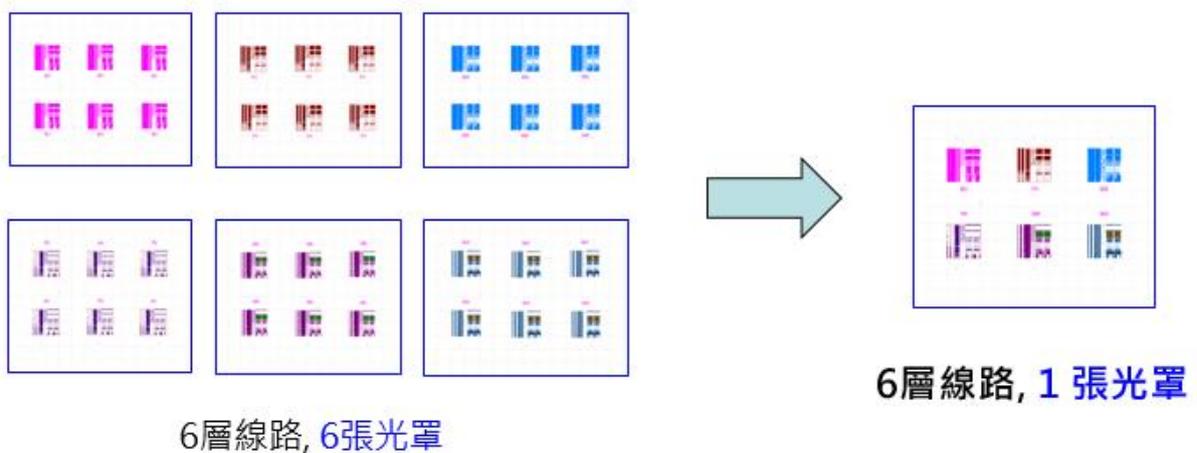
圖 3.20、4P4M daisy chain 製作流程及其架構示意圖(Not-to-scale)



資料來源：工研院

圖 3.21、 $2\mu\text{m} / 2\mu\text{m}$ 線寬線距金屬線 SEM 上視圖及剖面圖(左下)

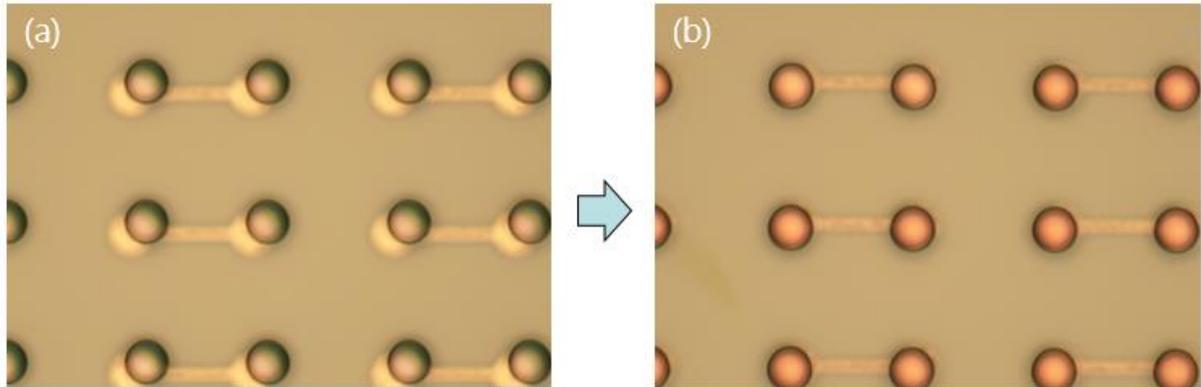
6 合 1 光罩將原本需要分別製作 6 張光罩的曝光圖案，整合在 1 張光罩中，大幅降低開發新產品及改版過程中光罩的費用，如圖 3.22 所示。



資料來源：工研院

圖 3.22、1 張光罩就可進行個別 6 層線路的曝光製程

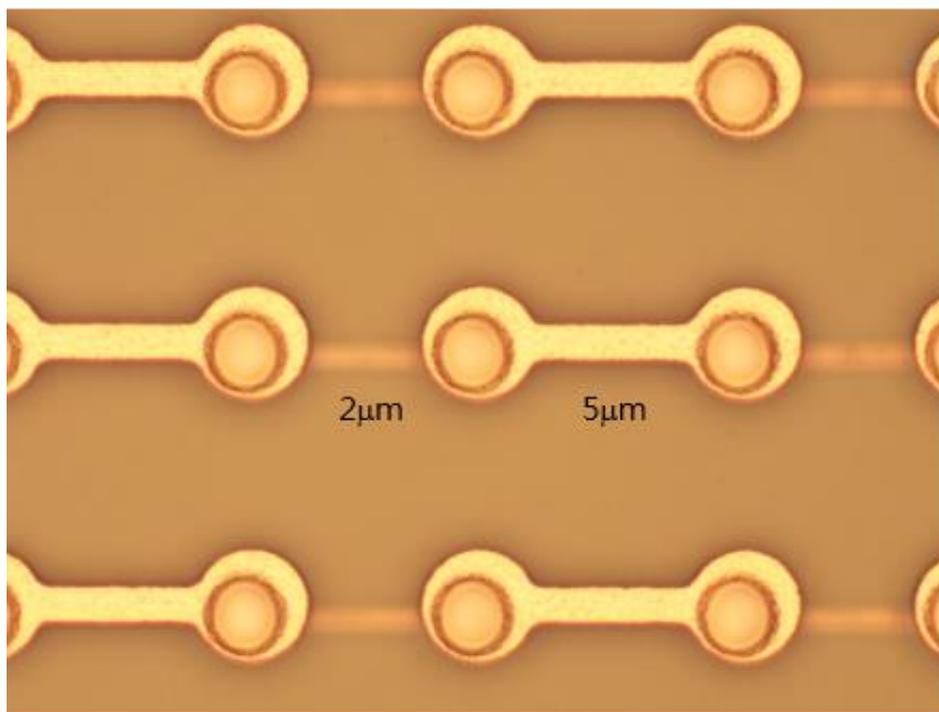
在步驟(2)中，用旋轉塗佈的方式進行 Passivation layer 的覆蓋，在進行曝光及顯影後，就可以達到 Via 導通孔開孔形成，以利後續的 M2 製程，並達到可以上下導通的效果，下圖 3.23 中下方的 Pad 直徑 10 μm ，而 Via 的上孔直徑是 10 μm 、下孔直徑是 5 μm 。



資料來源：工研院

圖 3.23、對位方式改善前後 OM 圖示

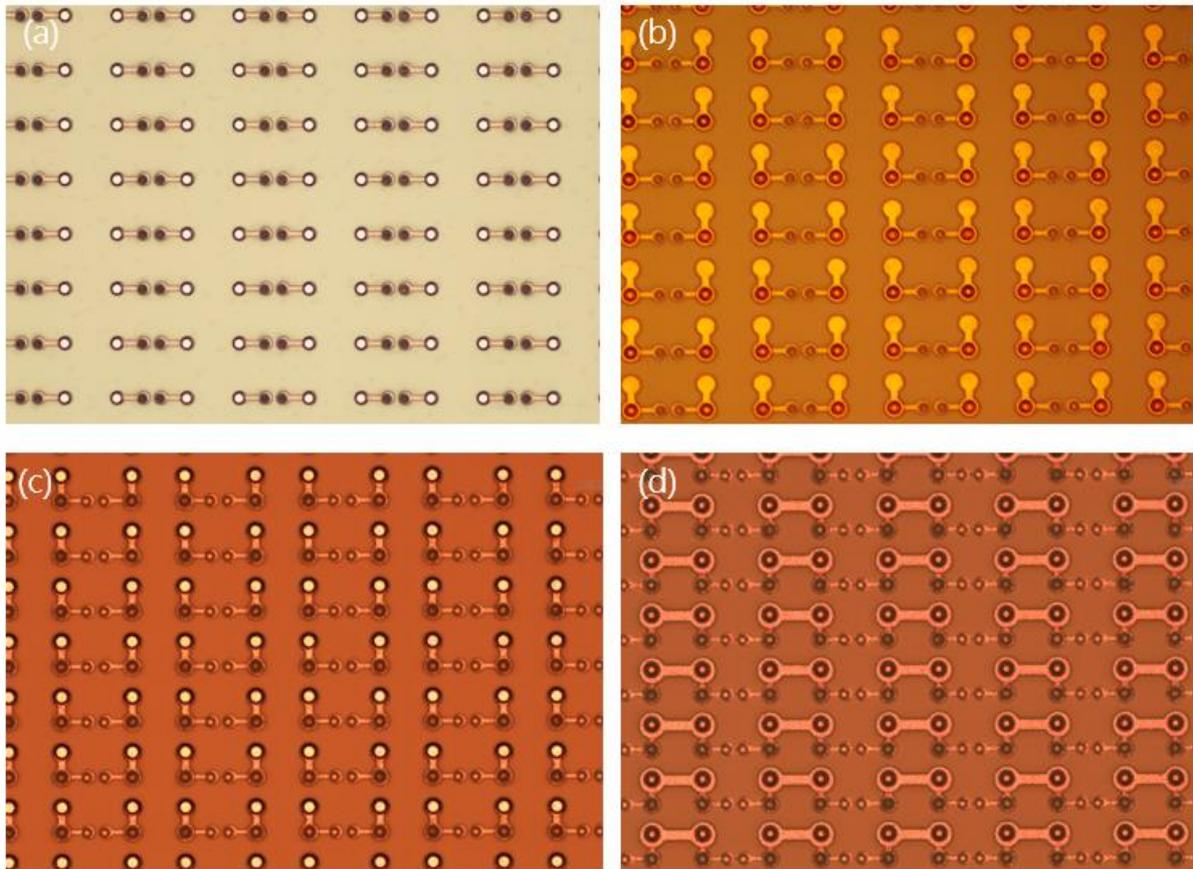
在步驟(3)中，用 PVD 沉積 Ti 及 Cu 金屬薄膜，作為種子層(Seed layer)，接下來進行光阻塗佈、曝光、顯影的黃光製程，第二層(M2)金屬導線設計了 5 μm 的線寬，沿用了 1.5 μm 的光阻厚度，並用電鍍(Electroplating)的方式來形成 1.2 μm 厚度的金屬導線，隨後進行去除光阻、去除 Ti 及 Cu 種子層的製程，至此就完成了步驟(3)的製程。



資料來源：工研院

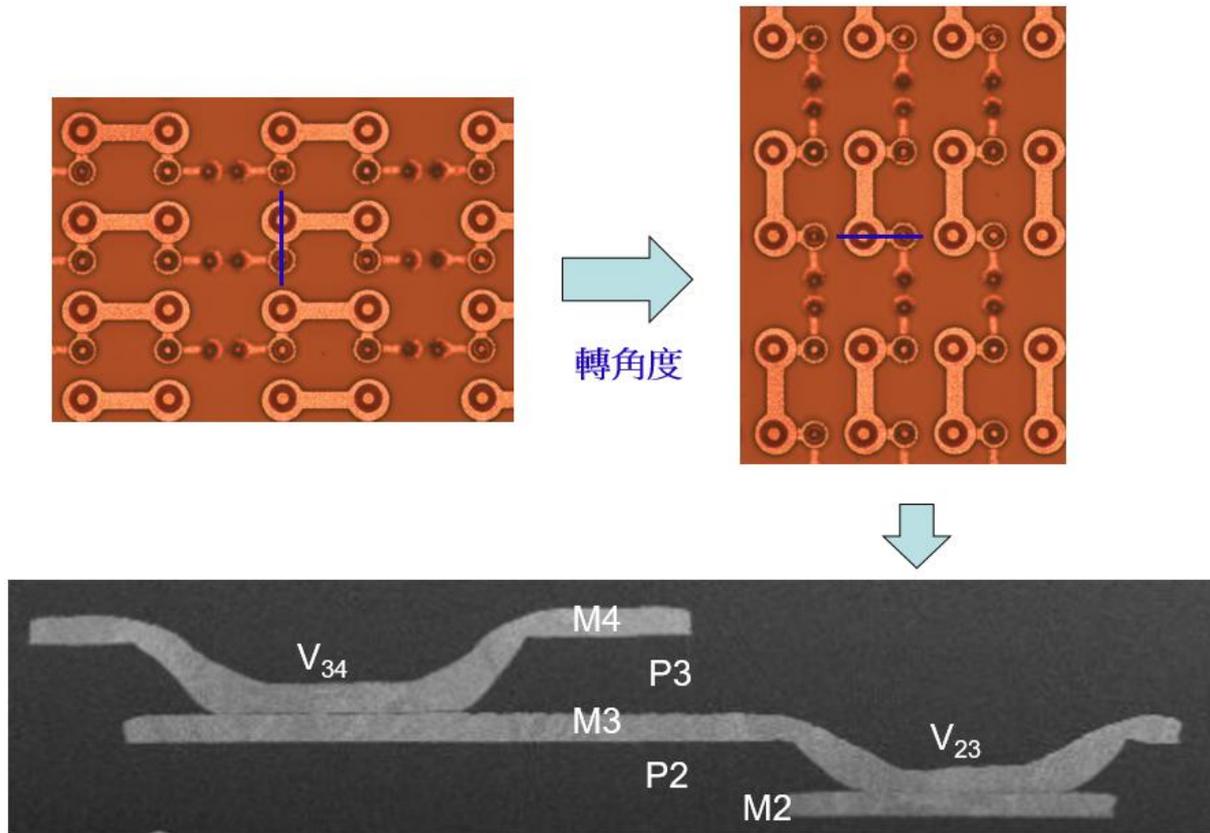
圖 3.24、細線路填銅製程

在步驟(4)中，用旋轉塗佈的方式進行 passivation layer 的塗佈成膜，後續進行曝光及顯影後，達到 Via 導通孔開孔形成，此處 Via(V₂₃)的上孔直徑是 13 μ m、下孔直徑是 8 μ m，Via 下方的 Pad 直徑是 15 μ m，如圖 3.25 (a)所示為 P2 層及 Via 導通孔開孔 OM 圖。在步驟(5)中，重複了步驟(3)的製程方式，如圖 3.25 (b) 所示為 M3 金屬層及 Via 金屬導通形成 OM 圖。在步驟(6)中，重複了步驟(4)的製程方式。在步驟(7)中，重複了步驟(5)的製程方式，如圖 3.25 (d)所示為 M4 金屬層及 Via 金屬。為了確認 Via 導通孔內的鍍銅情況及確認上下層是否有導通，進行了 M2~M4 的剖面圖分析，如圖 3.26 所示，轉了 90 度的角度後進行分析，從 SEM 的剖面圖，可以看出 M2、M3 及 M4 的金屬導線均有導通，經由 P2 及 P3 的 Via 導通孔進行上下層的串連，M1 及 M2 的金屬導線是可經由 P1 的 Via 導通孔進行上下層的串連，至此，可以說明 M1~M4 金屬層可經由 P1~P3 的 Via 導通孔 V₁₂、V₂₃、及 V₃₄ 串連，並形成可以導通的 Daisy chain。



資料來源：工研院

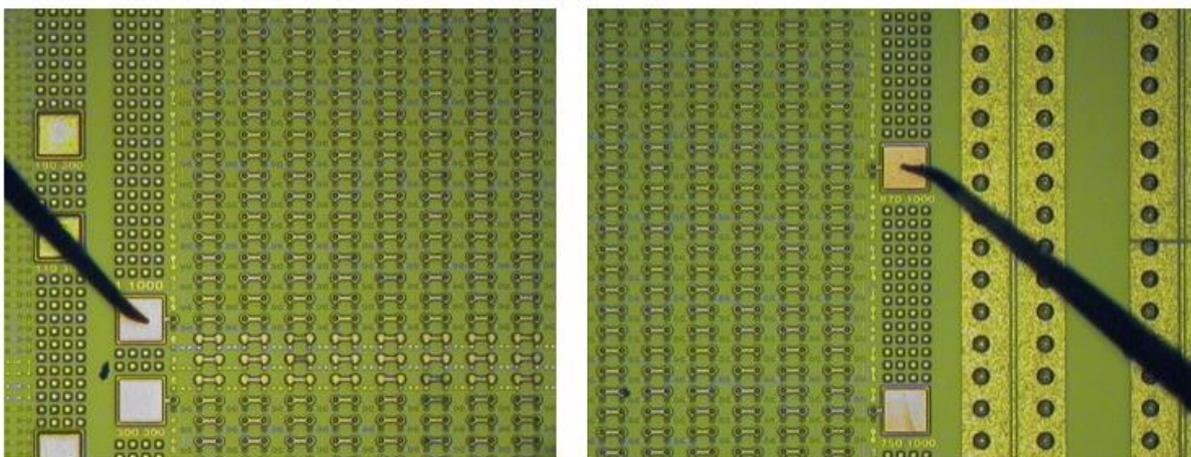
圖 3.25、各層 OM 上視圖; (a)P2 層及 Via 導通孔開孔 OM 圖，(b)M3 金屬層及 Via 金屬導通形成 OM 圖，(c) P3 層及 Via 導通孔開孔 OM 圖，(d)M4 金屬層及 Via 金屬導通形成 OM 圖



資料來源：工研院

圖 3.26、M2 到 M4 各層 SEM 剖面圖

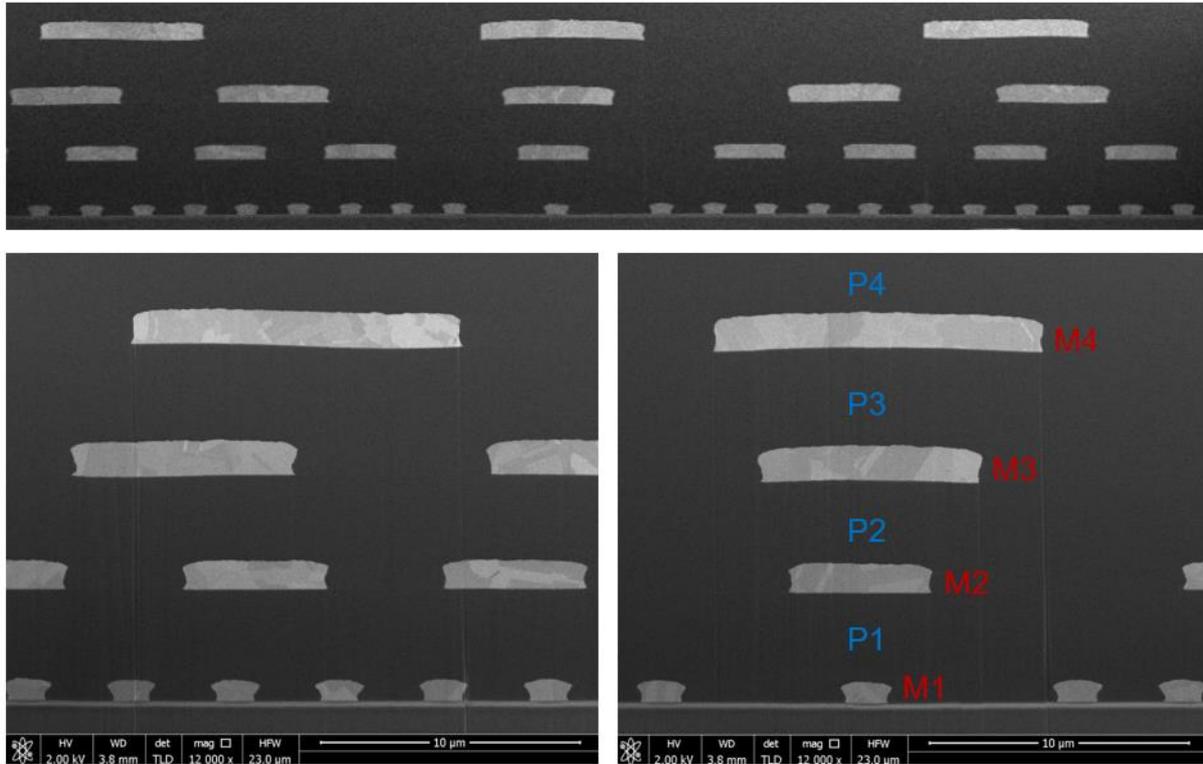
在步驟(8)中，重複了步驟(6)的製程方式，此處 Via 的開孔主要是為了 Daisy chain 探針的量測用，量測 Pad 的大小是邊長 $150\mu\text{m}$ 的正方形，如圖 3.27 所示為探針接觸在有開孔的 $150\mu\text{m}$ 方形的大 Pad 上，隨後進行 Daisy chain 電性 On/Off 的量測，並得到有導通電性的結果，其中 Daisy chain 所串接的 Cu pad 超過 6,000 個。



資料來源：工研院

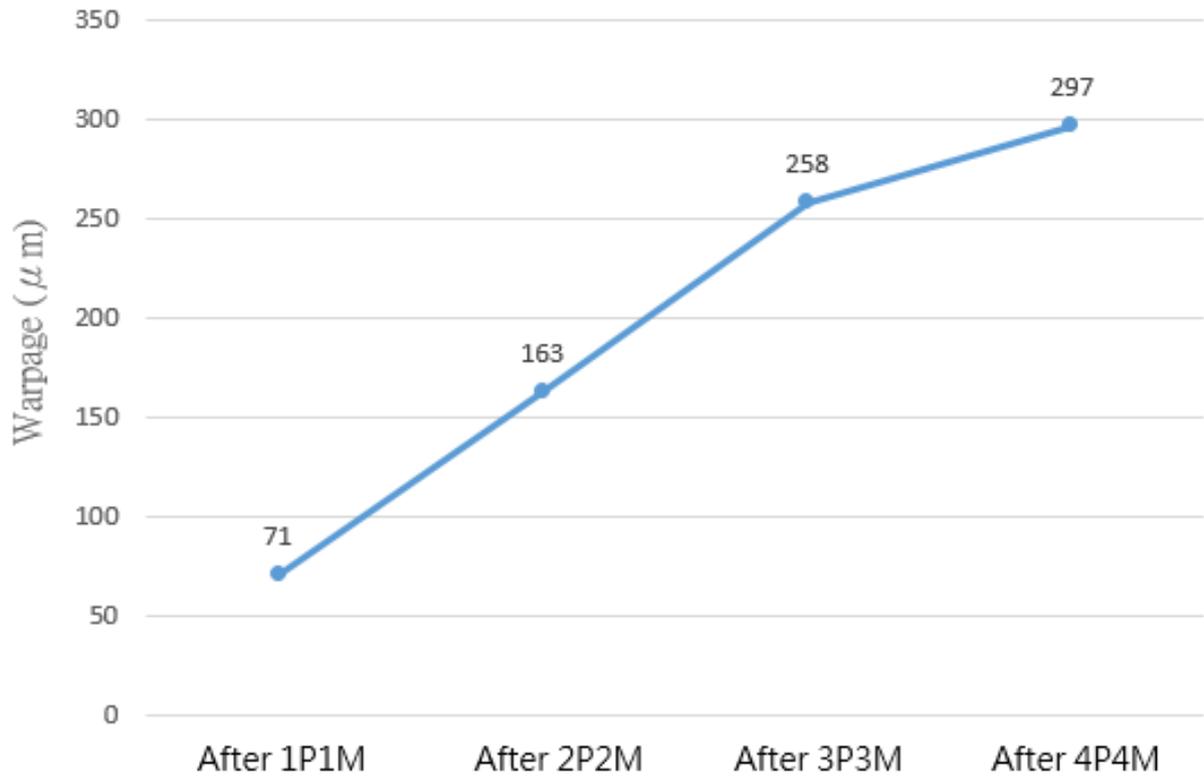
圖 3.27、量測 Pad 及量測探針接觸在有開孔 $150\mu\text{m}$ 方形 Pad 上

至此，完成了包含 4P4M 的 RDL 的所有製程，SEM 的剖面分析如圖 3.28 所示。在製程過程中也對 12 吋基板的翹曲做量測及監控，如圖 3.29 所示，在整個製程過程中將基板的翹曲控制在 300 μ m 以內，平整的基板對製程的整合及後續的可靠度及良率會有很大的幫助，而含 4P4M RDL 的完整且平整的 12 吋基板的上視圖就如圖 3.30 所示。



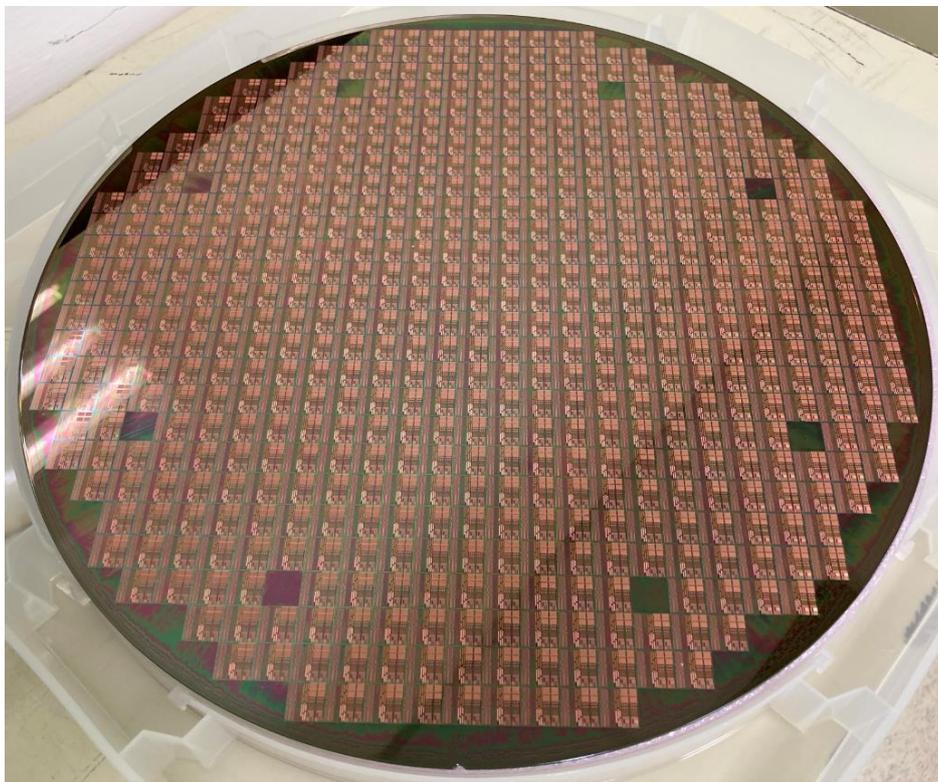
資料來源：工研院

圖 3.28、4P4M SEM 剖面圖



資料來源：工研院

圖 3.29、基板翹曲量測

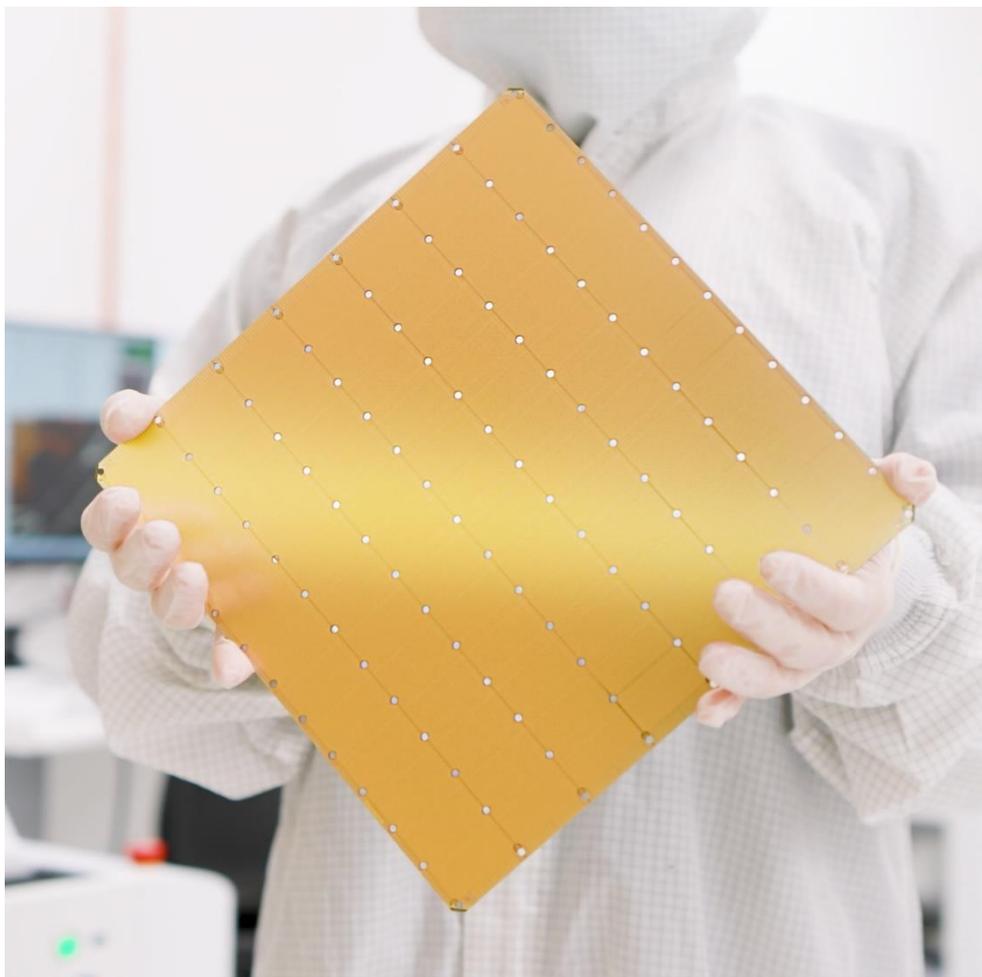


資料來源：工研院

圖 3.30、4P4M RDL 的 12 吋基板

近期先進封裝除了以上述扇外型封裝進行的 Chiplet Integration 技術非常重要之外，System on wafer(SoW) 技術也越來越多廠商採用。SoW 封裝技術是一種先進的半導體封裝方法，在一片晶圓上直接形成一個完整的系統，其重要性在於能夠顯著提升晶片的性能和效率，可以實現更高的訊號傳輸速率和更低的延遲，這對於需要高速數據處理的應用至關重要。SoW 技術也能夠減少訊號傳輸的延遲和功耗，這對於移動設備和物聯網設備來說尤為關鍵，因此其應用範圍非常廣泛，包括高效能運算(HPC)、人工智慧(AI)、數據中心、5G 通訊和物聯網等領域。

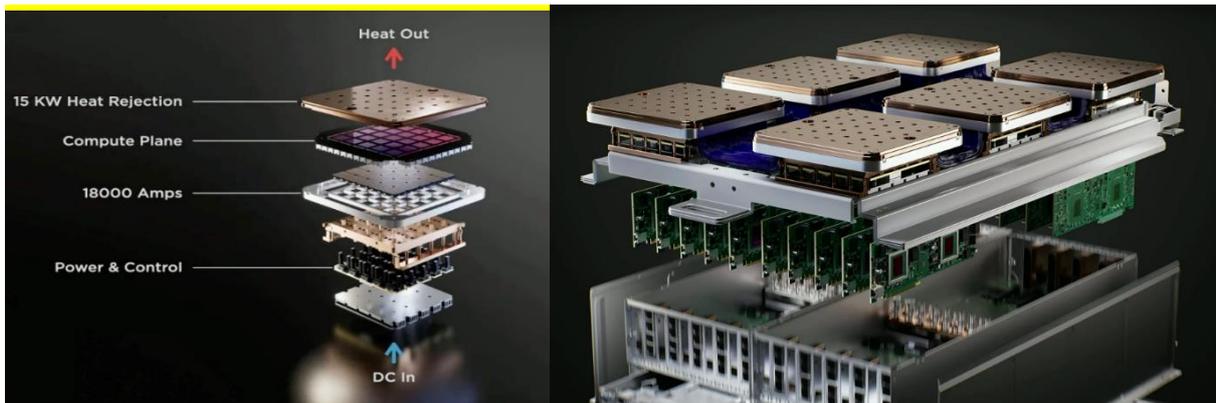
Cerebras 和 Tesla 的 Dojo 超級電腦都是當前使用 SoW 技術的典型代表，這些系統利用 SoW 技術的優勢，實現了更好的性能和效率。Cerebras 的 Wafer-Scale Engine(WSE)是世界上最大的晶片，利用台積電 12 吋晶圓製程技術完成。這種設計使得 WSE 能夠提供極高的計算能力和數據處理速度。WSE 的一個主要優勢是其內部核心之間的高帶寬和低延遲通信，這使得資料可以在核心之間快速傳輸，大幅提高了計算效能並維持較低的能耗。請參閱下圖 3.31。



資料來源：Cerebras

圖 3.31、Cerebras 第三代 WSE 是目前全世界最快的 AI 處理器

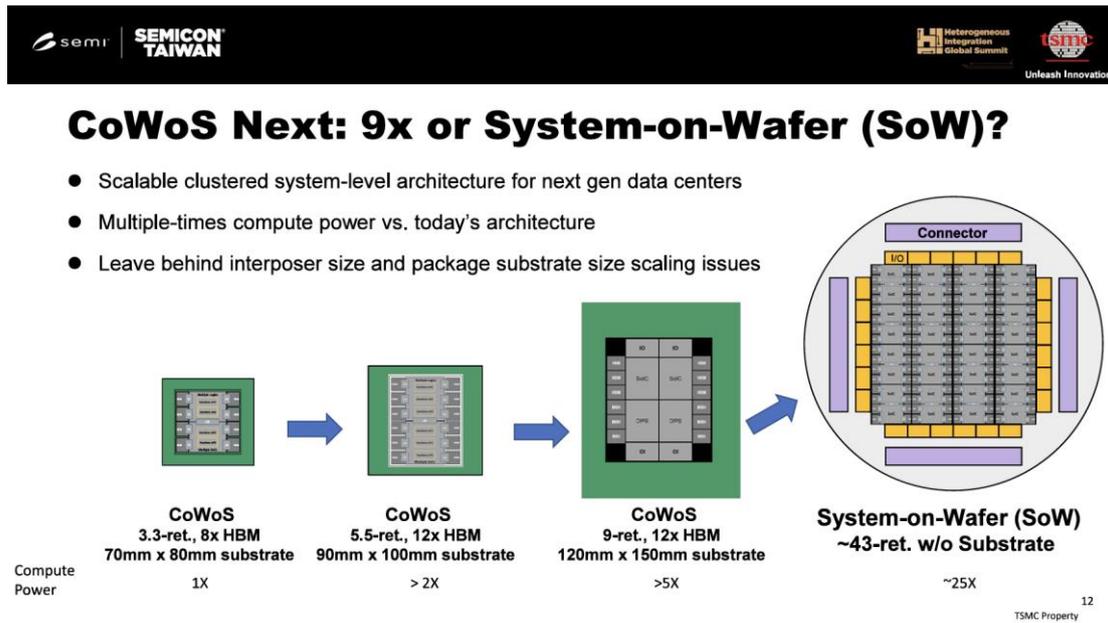
Tesla 的 Dojo 超級電腦同樣採用了 SoW 技術，主要是為其自動駕駛系統提供強大的計算能力。Dojo 系統利用 SoW 技術，將多個計算核心整合在一個晶圓上，實現了高效的數據處理和模型訓練。能夠讓 Dojo 快速處理大量的自動駕駛數據，提升系統的準確性和可靠性。Cerebras 和 Tesla Dojo 的成功應用展示了 SoW 技術的巨大潛力和優勢。這些系統不僅能夠提供非常高的計算性能，還能夠大幅提高能源效率和運算速度，這對於高效能運算、人工智慧和數據中心等領域是非常重要的。請參閱下圖 3.32。



資料來源：Tesla

圖 3.32、Tesla Dojo System on Wafer 伺服器

最後，還是得帶到最經典的先進封裝一戰，那就是台積電搶到蘋果大單一役，主要就是因為使用先進的 12 吋晶圓扇外型封裝技術綁住客戶，也指出臺灣之所以能夠在先進封裝打敗三星電子，最重要的一點就是以晶圓做為未來異質整合的重點，並強調「如果要做異質整合，一定要拿晶圓當作中心思想擴散出去」，下圖 3.33 是台積電在 Semicon Taiwan 2024 發表之未來技術演進方向，均是以晶圓為中心思想往外擴張，CoWoS 技術會朝向大尺寸發展至 9 倍光罩大小(120mm x 150mm)，目前持續發展 SoW 技術，未來政府也應以晶圓為中心思想往外擴張積極投入資源發展 SoW 技術，才能夠滿足高效能和低功耗的需求，以 AI 為輔助推動各行各業的創新和發展。



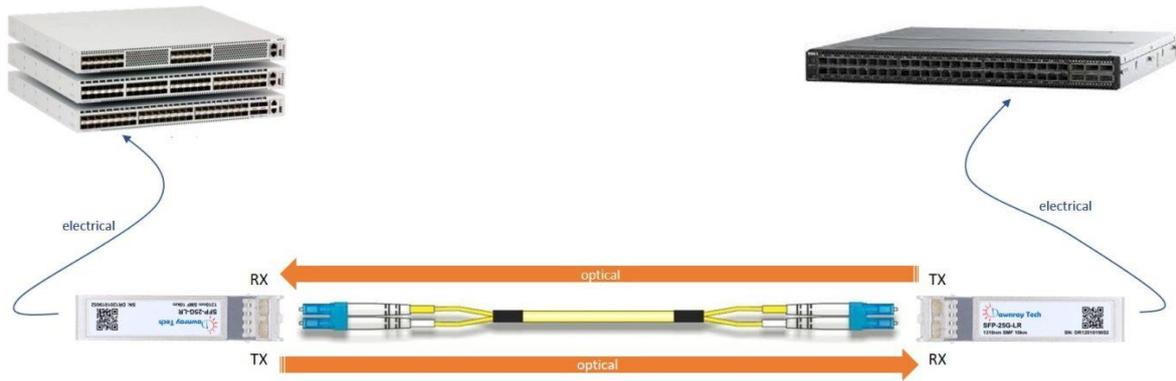
資料來源: Semicon Taiwan 2024 (TSMC)

圖 3.33、台積電 SoW 技術演進說明

三、矽光子、光學共同封裝模組現況與挑戰

隨著 5G 和人工智慧(AI)技術的迅速發展及廣泛應用，通訊傳輸速度和運算效能面臨著新的挑戰，傳統的 PCB 傳輸結構已難以應對高速傳輸需求。因此，迫切需要推動低能耗、低延遲、及更高頻寬的資料傳輸技術方案。共封裝光學(Co-Packaged Optics, CPO)被視為是資料中心產業生態系統的新部署模式。結合電與光的 CPO 模組內含 IC、光通、矽光、ASIC 等跨域技術，其中矽光子技術在 CPO 扮演一個樞紐的角色，具備高速、高密度整合的特性，是推展 CPO 向前的關鍵因素。

早在 2000 年前傳統的插拔式光電收發模組((Transceiver)即被廣泛應用在光通訊的訊號傳輸，工作原理如圖 3.34 所示，當光訊號進去模組裡會需要光接收器來接收光，之後訊號透過轉阻放大器將電流訊號放大並轉換成電壓。電訊號進入主機後會進入交換晶片，能將電訊號進行處理、轉換，判斷電該從哪個軌道出去，出去後經過光調變器，同時搭配雷射光源輸入的情況下，將電訊號再切換成光訊號，這就是光電收發模組的概念。

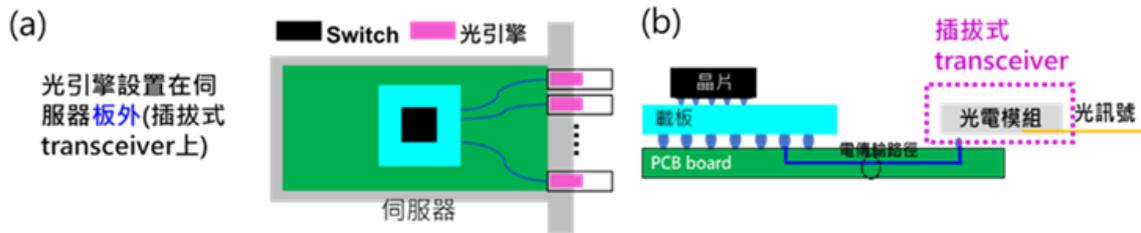


資料來源：<https://www.dawnraytech.com.tw/blog/fiber-optic-transceiver-module-introduction/>

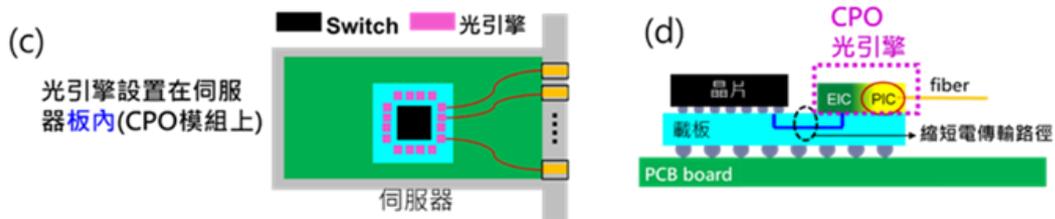
圖 3.34、傳統光收發模組(Transceiver)工作原理

儘管現在資料中心所使用的 Transceiver 已可滿足當前數據通訊物聯網低成本與低功耗的需求，然隨著未來傳輸需求量大增的情況下，Transceiver 在提高 2 倍傳輸速度下，訊號在模組中的損耗將以倍數的趨勢增加。使用光纖縮短資料傳輸距離以減少損耗來傳送到網路交換器晶片集中處理，是光通訊架構設計最主要的目的之一。為了減少電損失，以矽光子技術為基礎的 CPO 模組未來將逐漸取而代之。圖 3.35 為插拔式 Transceiver 與 CPO 架構的比較。CPO 模組架構如圖 3.35(c) 所示，主要是由 8 個或 16 個光引擎圍繞在交換器晶片四周並一起封裝在高速載板上，其中光引擎則是由電子積體電路(Electronic Integrated Circuit, EIC)、矽光子積體電路(Photonic Integrated Circuit, PIC)組成，如圖 3.35(d)，這樣的架構使光引擎可以更接近交換器晶片，以此縮減電傳輸路徑，使單通道 100Gb/s 的傳輸損耗可以大幅下降。相較於 Transceiver 的架構，CPO 技術能降低成本，資料量傳輸提升 8 倍，提供 30 倍以上的算力並節省 50% 功耗，更符合上述提到未來高速傳輸、低成本與低功耗的光通訊需求。然而，目前晶片組的整合仍處於現在進行式，如何精進 CPO 技術則成為矽光子發展的下一個重要步驟。

➤ 插拔式光收發模組 (Transceiver) 架構



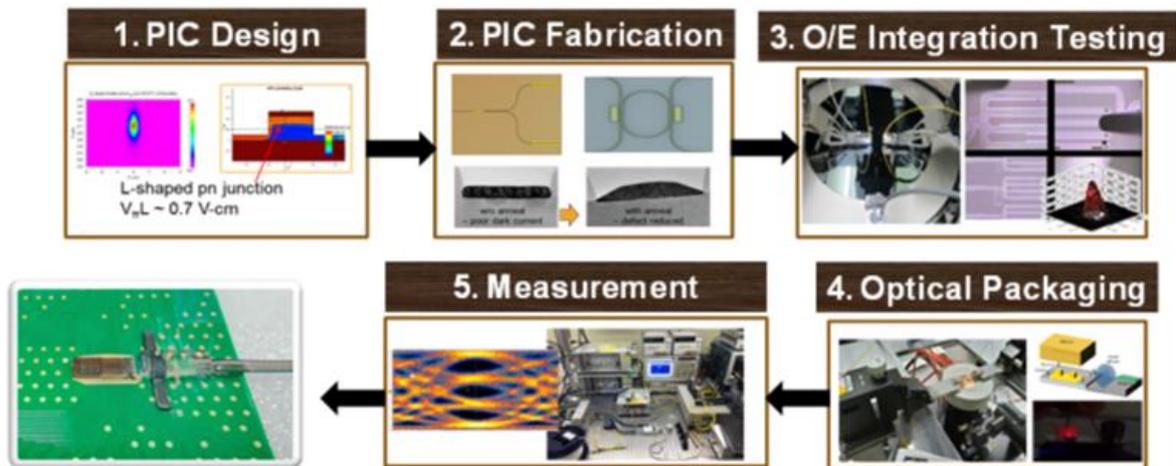
➤ 共封裝光學模組(CPO)架構



資料來源：工研院

圖 3.35、插拔式光收發模組與共封裝光學模組架構：(a)(c)上視圖；(b)(d)側視圖

圖 3.36 是矽光子晶片 PIC 的開發流程，其節錄自工研院過去開發之相關內容，其技術類似現在半導體產業從上游的 IC 設計、晶圓代工，再到下游的晶圓封測，PIC 從上游到下游所跨足的技术也相當廣泛且較複雜，單一公司較難一手包辦，故 PIC 也仿照產業上下游之分工模式進行技術開發。



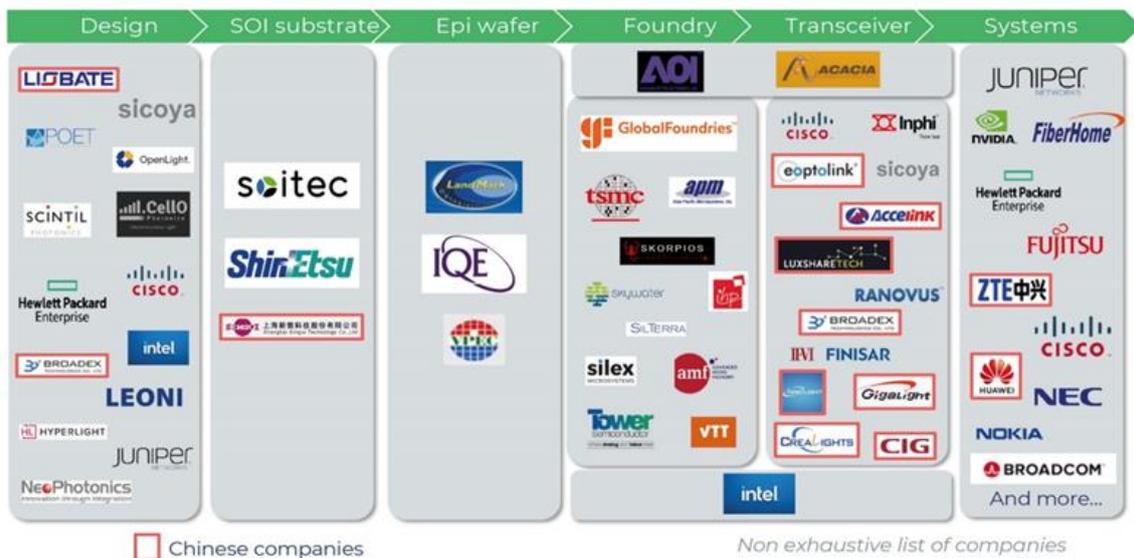
資料來源：工研院

圖 3.36、PIC 技術開發流程圖

封裝一直是矽光子晶片進入商品的最後一哩路，近幾年討論度非常高的 CPO 在高速與高密度整合的需求驅使下，光纖陣列與 PIC 封裝單通道 100Gb/s 傳輸速率已不敷使用，未來既有的 EIC 與 PIC 打線接合、光纖與 PIC 表面光柵耦合封裝技術外，亦需佈局開發 PIC 多波長分波多工器(Wavelength Division Multiplexing, WDM)技術與單通道 200G 技術，以滿足 CPO 之 I/O 密度與 200G/lane 高速傳輸需求。

產業鏈部份，技術研發出來的產品實際運用到終端使用者前需具備上、中、下游完整的產業鏈。因此盤點國內外 CPO 產業狀態如下：

CPO 領域業者主要是以美國公司為主，其中矽光子技術族群在 CPO 扮演一個樞紐的角色，其具高速、高密度整合的特性是推展 CPO 向前的關鍵。CPO 模組內含 IC、光通、矽光、ASIC 等跨域技術，以併購或合作策略方式進行技術開發。由圖 3.37 Yole 2022 矽光子傳輸模組(Optical Transceiver)供應鏈報告中可看出中國在矽光子領域投入時間較早，從設計、SOI Substrate、Transceiver、及系統應用皆有琢磨，唯獨在 Foundry 晶圓代工這部份沒有，而這部份正是臺灣的強項及切入點。



資料來源: Yole Intelligence (2022)

圖 3.37、矽光傳輸模組供應鏈

臺灣目前 CPO 技術還在起步階段，尚無完整的產品產業鏈。國內產業已投入於 CPO 開發的公司及其所屬產業族群大致如下：

1. IC 族群：聯發科、台積電、日月光分別在 2022 VLSI-TSA、2021 ECTC、2022 ECTC 等會議論壇與論文提出 CPO 相關的研究，共同的目標為引入 CPO 技術，達到更高功耗效率。
2. 光通族群：鴻騰精密與合作夥伴 Broadcom、MultiLane 在美國加州聖地牙哥 OFC 2022 會場，展示 QSFP-DD 800G 連接器／互聯方案[13]。
3. Switch 族群：智邦在 data center switch 優越的性能，也與國際知名大廠 Cisco[14] 及 Rockley Photonics[15]合作，開發 CPO。
4. 矽光族群：與美國相比，國內矽光子起步較晚。但國際上矽光子製作平台已逐漸成熟，未必要以 PIC 晶片製作作為起跑線。

臺灣 CPO 產業鏈建立在技術創新面仍有需精進之處，包括高效的光學元件

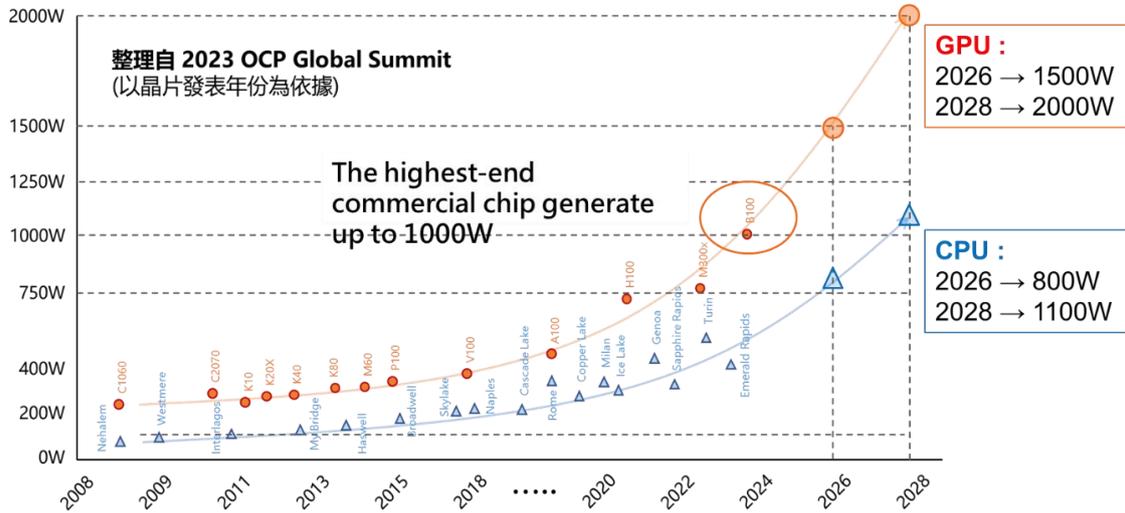
設計、高速的 IC 設計和驅動技術、先進的封裝和散熱技術等。另外，CPO 封裝和測試所需的設備和技術仍在不斷發展中，需要更多的設備供應商和製程技術支持。再者，標準和認證目前是由國外機構，例如 OIF (Optical Internetworking Forum)、COBO (Consortium for On-Board Optics) 建立與推動，國內廠商須依此標準發展相關技術，這對於國際鏈結和產品的互通性非常重要。國內外的企業和研究機構可以透過技術研發、產業合作和國際交流等方式，共同推動 CPO 技術的創新和產業化，填補產業鏈上的缺口以實現商業化應用。SEMI 國際半導體產業協會於 SEMICON Taiwan 2024 國際半導體展矽光子國際論壇宣布，於 SEMI 平台上，台積電與日月光號召半導體產業鏈自 IC 設計、製造封裝、應用模組至終端產品的企業及研究機構如：工研院、波若威(Browave)、上詮(FOCI)、鴻海(Foxconn)、聯發科技(MediaTek)、廣達(Quanta Computer) 到辛耘(Scientech)等超過 30 家共同參與，建構全台最完整的矽光子聚落生態系 SEMI 矽光子產業聯盟(SEMI Silicon Photonics Industry Alliance, SiPhIA)。這些企業將共同推動矽光子領域的發展，透過聯盟共享知識、資源和專業技術，建構臺灣的矽光子生態圈。透過臺灣半導體產業集結過往的豐富經驗與資源，矽光子的研發和製造能力將會持續壯大，這將為臺灣未來成為「AI 科技聚落」奠定堅實的基礎。

臺灣有強大半導體及光通訊產業基礎，對發展 CPO 技術極具競爭優勢，在推動 CPO 關鍵模組發展可朝數個面向來努力。首先需要提升技術研發及製造能力，臺灣擁有強大的光電技術研發和製造能力，包括高速通訊、光學元件、高速連接和高密度封裝等，這為臺灣參與 CPO 的研發和生產提供了優勢；其次是與產業的合作聯盟，臺灣的光通訊產業生態系統相對完善，包括光纖、光學元件、光通訊設備等，透過產業合作與聯盟整合各方的專業技術和資源，以此提供完整的解決方案；第三是供應鏈優勢，臺灣在供應鏈管理上基於其高品質的製造技術和靈活的生產能力，能快速滿足市場需求並提供高效的 CPO 產品；第四是封裝技術，CPO 模組涉及高精度的光學封裝技術，臺灣企業在封裝技術、熱管理及高頻設計等方面有著相關經驗和專業知識足以承接；最後是國際競爭和合作，CPO 是一個全球性的產業，臺灣企業在面對國際競爭時需要與國際同行進行合作，透過與國際標準機構和相關組織合作，推動 CPO 標準的制定和實施以確保產品符合相關的行業標準和規範。

四、散熱技術現況與挑戰

隨著生成式 AI 的蓬勃發展，AI 所需要的算力需求快速提升，文獻評估顯示，近期 AI 算力需求每兩個月提升一倍，而摩爾定律揭曉的半導體技術則是每十八個月晶片效能提升一倍。巨大的算力供需差異，現階段必須由異質整合晶片封裝技術來加以追趕。異質整合封裝內含多顆高階晶片，因此大幅提升算力但是發熱量也極為龐大。晶片封裝散熱已成為大型 AI 與高算力 HPC 應用是否能成功落地的關鍵技術。

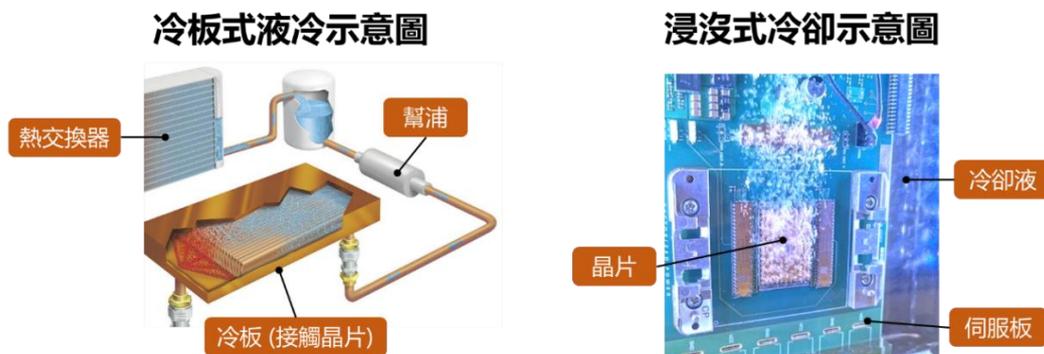
目前市場中最高階晶片的熱設計功耗(TDP, Thermal Design Power)已達 750W，未來幾年的晶片發展將極為快速，根據 Nvidia 所發佈的晶片發展藍圖，2024 年第四季將推出 TDP 為 1000W 的 B200 晶片，而預計 2025/Q3 所推出的 GB200 晶片模組，設計上將由 2 顆 GPU 加上 1 顆 CPU 形成的大型晶片模組，其熱設計功耗更高達 2700W，千瓦級晶片散熱技術需求已經刻不容緩（請參閱下圖 3.38）。



資料來源：本研究繪製

圖 3.38、高階晶片發熱量成長趨勢

受限於散熱能力與伺服器可用的空間限制，750W 散熱量已接近傳統氣冷式散熱技術的性能極限。面對之後千瓦級以上的晶片散熱問題，液冷散熱(Liquid cooling)將成為主流技術。液冷散熱可概分為冷板式液冷(Cold plate liquid cooling)與浸沒式冷卻(Immersion cooling)兩種設計，而這兩種設計又可個別細分為單相式(single phase)與雙相式(two phase)兩種傳熱機制。亦即，千瓦級晶片散熱方案可分為(1)單相冷板式液冷技術；(2)雙相冷板式液冷技術；(3)單相浸沒式冷卻技術；(4)雙相浸沒式冷卻技術...等四種主軸技術方案。一般而言，單相式傳熱機制的設計會比雙相式傳熱機制來得單純簡單，商品化與實施性也較高，不過冷卻傳熱的性能上的表現也會比較差。如下圖 3.39 所示。



資料來源：本研究繪製

圖 3.39、液冷散熱技術概分為冷板式與浸沒式兩種設計

液冷技術為 HPC 散熱的主流技術。值得一提的是，在全球淨零碳排的趨勢下，散熱產品的能源使用效率(PUE, Power Usage Efficiency)也是市場評估技術性能的重要性能指標。換言之，如何降低晶片散熱冷卻所需要的額外能量消耗，藉以降低全球資料中心巨大的能源消耗，在未來也是散熱技術開發上必須考量的重點之一。

上述的液冷技術中，冷板式液冷的散熱能力強大（單相冷板散熱極限約 1500W，雙相冷板極限約 2000W），具備優於浸沒式冷卻的散熱能力，可以在目前傳統資料中心存在，機房基礎設施的變動幅度小，其資料中心 PUE 性能最低約 1.3。而浸沒式冷卻的散熱能力不及冷板式液冷（單相浸沒式散熱極限約 1000W，雙相浸沒式極限約 1500W），傳統資料中心無法配置浸沒式冷卻系統，必須構建新機房架構，因此浸沒式冷卻資料中心的初期建置成本高。不過浸沒式冷卻機房的伺服器配置密度高於冷板式液冷機房，相同佔地面積下的伺服器配置數量高，其資料中心 PUE 可低至 1.1 以下，符合全球節能減碳的環境永續需求，適合新建立的區域型小型機房。綜上所述，浸沒式冷卻機房主要訴求為高節能，同時兼具散熱能力，而冷板式液冷機房則訴求超強散熱能力，兼具優於氣冷機房的節能性能，這兩種主流技術並不存在取代淘汰的問題，各自擁有不同的市場應用需求。

目前在技術進展上，單相浸沒式由於設計相對單純，投入業者較多，目前處於定義性能驗證方法的階段，這項技術積極尋求市場應用落地，投入的代表廠商有 Intel、英業達、力致...等，晶片散熱能力評估為 300W~750W 之間。在雙相浸沒式冷卻方面，該項技術具前瞻性也有最佳的節能效果，不過由於冷卻液成本過高以及存在全球暖化潛勢 GWP 過高的疑慮，讓市場仍處於觀望階段。投入的代表廠商有緯穎、技嘉、廣運...等，晶片散熱能力評估為 500W~1200W 之間。在單相冷板液冷方面，由於技術相對成熟，許多業者已具備不錯的設計與產品，目前市場競爭強烈，投入的代表廠商有奇鋆、雙鴻、尼得科超眾等，晶片散熱能力評估為 700W~1200W 之間。最後在雙相冷板液冷方面，由於屬於新興的前瞻技術，很多瓶頸技術與設計仍處於探勘階段，投入的代表廠商有 ZutaCore，晶片散熱能力評估為 2000W 以上。

上述四項液冷散熱均為 HPC 散熱的主流技術。值得一提的是，在全球淨零碳排的趨勢下，散熱產品的能源使用效率(PUE, Power Usage Efficiency)也是市場評估的重要性能指標。亦即，如何降低晶片散熱冷卻所需要的額外能量消耗，藉以降低全球資料中心巨大的能源消耗，在未來也是散熱技術開發上必須考量的重點之一。

在過去的 20 年間，憑藉著優異的製造技術與成本控管，臺灣的散熱產業一直位居於全球龍頭地位。不過這一波的千瓦級晶片液冷散熱成長快速，技術層面既深且廣，相較於美歐日韓的競爭者，國內業者的創新性與研發能量相對不足，需要產官學三方的緊密合作，藉由偕同開發的方式與大量研發經費的支持，才能

加速關鍵技術的研發，建立技術護城河，進一步形成產業生態鏈，持續奠定臺灣於全球散熱產業中的領先龍頭角色。

五、小結

隨著人工智慧、高效能運算、5G 以及物聯網等技術的快速發展，半導體產業對先進封裝技術的需求顯著增長。本章節藉由相關技術趨勢發展分析可知傳統的 2D 封裝已經無法滿足這些應用對高效能、低功耗及小型化的需求，這促使半導體封裝技術向 3D 整合、小晶片結構及系統級封裝等方向發展。2.5D、3D 先進封裝設備及材料、封裝、光學共同封裝與千瓦級散熱是半導體行業的一個重要發展方向，但也存在許多技術、價格、商業應用等各方面的問題，需要產官學研的共同努力和創新來解決。

參考文獻

1. 林士青，“2023 臺灣電子設備產業白皮書”，社團法人臺灣電子設備協會，2023。
2. 袁穎庭，“電子設備協會發表白皮書 呼籲政府鼓勵設備在地化”，工商時報，2023。
3. Jianglong Guo et al., "Optimization and experimental verification of coplanar interdigital electroadhesives", *J. Phys. D: Appl. Phys.* 49 (2016) 415304.
4. A. Bjorlin, "Breaking the Bandwidth Barrier: Silicon Photonics Optical I/O", SEMI Americas Virtual Forum, 2021.
5. John E. Johnson et al., "Performance and Reliability of Advanced CW Lasers for Silicon Photonics Application", Tu2D.1, OFC 2022].
6. Jeff Hutchins, OIF-Lightwave Webinar, 14th October, 2020.
7. T.H. Chen et al., "A Frequency Digital Pre-distortion Compensation Method for FMCW LiDAR System", Th2A.23, OFC 2020.
8. K.N. Ku et al., "Analysis of Racetrack-Coupled Mach Zehnder Interferometer for High-Speed Communication", VLSI-TSA 2020.
9. C.C. Lin et al., "A Hybrid Integration Platform of Silicon Photonics (Invited)", OECC, 2020.
10. K. Lawrence Loh, "Technology Challenges to IC Industry for Next Decade", 2022 VLSI-TSA and VLSI-DAT, April 18-22, 2022
11. H. Hsia et al., "Heterogeneous Integration of a Compact Universal Photonic Engine for Silicon Photonics Applications in HPC", ECTC, 2021
12. M.J. Lu et al. , "Advanced Packaging Technologies for Co-packaged Optics", ECTC 2022.
13. <https://www.fit-oxconn.com/mainssl/modules/MySpace/BlogInfo.php?xmlid=785>
14. Brian Welch, EPIC Online Technology Meeting on Co-Packaged Optics, June 8, 2020
15. <https://rockleyphotonics.com/rockley-photonics-collaborates-with-accton-te-and-molex-todemonstrate-a-25-6tbps-optoasic-switch-system/>
16. A. Mehonic and A. J. Kenyon, Brain-inspired computing needs a master plan, *Nature* volume 604, 255–260 (2022)
17. <https://www.forbes.com/sites/moorinsights/2024/03/26/nvidia-gtc-2024-wrapup-blackwell-mediatek-omniverse-and-vision-pro/?sh=1e5b79cb4698>
18. <https://www.dawnraytech.com.tw/blog/fiber-optic-transceiver-module-introduction/>

第四章 異質整合 Chiplet 互連介面現況與挑戰

摩爾定律(Moore's Law)是支持半導體半世紀以來持續發展的明燈，隨著製程節點的提升，除了產業界面臨成本、設計周期和複雜性的巨大壓力，亦同時面臨摩爾定律和丹納德縮放(Dennard scaling)失效問題。而小晶片技術設計技術作為異質整合技術的一種實踐，透過先進的封裝技術，將多個異質晶片整合進單一晶片中，也因為小晶片技術允許 IC 設計者合併在不同製程節點製造的晶片，以降低設計成本並提高良率而因此受到關注。先進製程研究包含探討 2.5D 和 3D 系統設計的技術、成本和市場運用問題，以及解決這些問題的可能途徑。

2.5D 和 3D 系統設計是一種將多個晶片或小晶片透過中介層或直接堆疊的方式整合在一起的技術，被視為是延續摩爾定律的最有希望的途徑之一。然而，這種技術也面臨著許多挑戰，包括以下幾個方面：(1)功能性：如何將系統合理地分割和邏輯地重新連接，以實現高效的性能和功耗。(2)分析性：如何在整個系統中進行電磁、熱、訊號完整性、彎曲和機械應力等方面的分析，並考慮各種邊界條件和相互影響。(3)測試性：如何在組裝前確保晶片或小晶片的良率，以及在組裝後測試整個系統的功能和可靠度。(4)標準化：如何制定和推廣小晶片的接口、模型、工作流程和測試方法等標準，以促進不同供應商之間的互操作性和生態系統的建立。(5)市場：如何解決小晶片的設計、製造、測試等方面的商業模式問題，及如何平衡市場規模和利潤空間，下面將一一跟各位讀者介紹最需重視與且優先的議題。

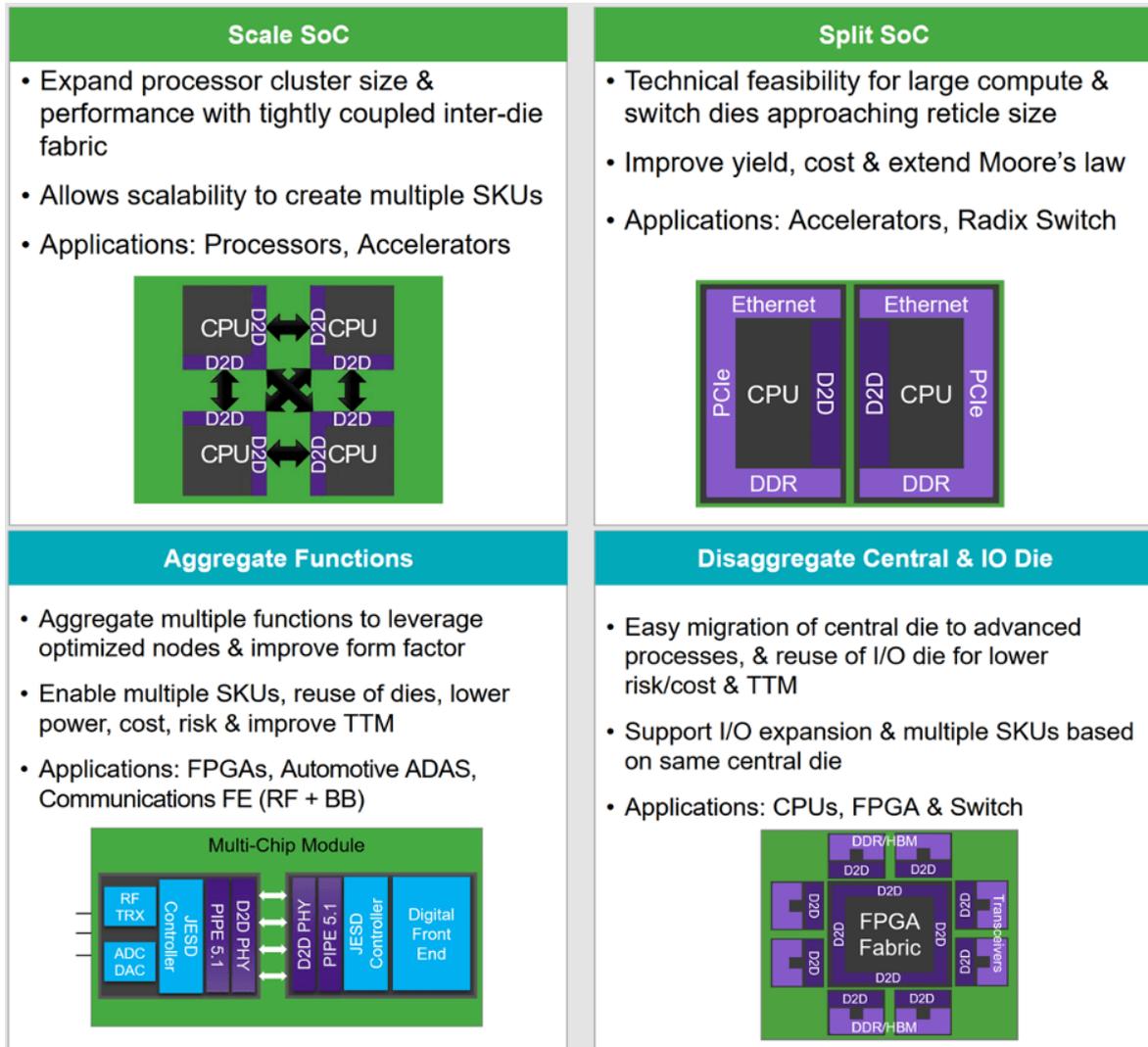
一、異質系統快速開發的解決方案

在半導體製造中，「超越光罩版尺寸」是指設計超出光刻光罩（用於圖案化類似模板的工具）的物理尺寸限制的積體電路，這限制了單一晶片的最大尺寸。為了克服這個問題，設計人員使用小晶片、先進封裝（例如 2.5D 和 3D 堆疊）、高密度互連以及在單個封裝中使用多個晶片等技術克服光刻過程中光罩尺寸的限制等方法。這些方法允許多個較小的晶片充當單個較大的晶片，從而在管理成本和產量的同時實現更高的性能。

小晶片設計涉及將 SoC 功能分離成更小、互連小晶片而不是單一晶片的技術。這種轉變是由先進製造的產量、良率、性能和靈活性需求所驅動，兼具不同型態（請參閱圖 4.1）：

1. 擴展型 SoC：可根據最終應用情境擴展 SoC，例如 AMD 的 Ryzen 晶片，可因應筆記型電腦、桌上型電腦、高階伺服器分別採用一、二、八個晶片進行組合。
2. 分離型 SoC：大型 SoC 為兼顧良率與複雜功能需求而分割晶片，常見於交換機晶片。

3. 聚合型 SoC：將複合功能或製程整合到一個晶片中並透過 die-2-die (D2D) 連接，能結合不同製程、降低功耗、獲得更好彈性，常見於通訊晶片。
4. 解構型 SoC：發展中央晶片並銜接 I/O 晶片或透過 IO 介面串聯更多運算晶片，常見於 FPGA or 高速交換機晶片。



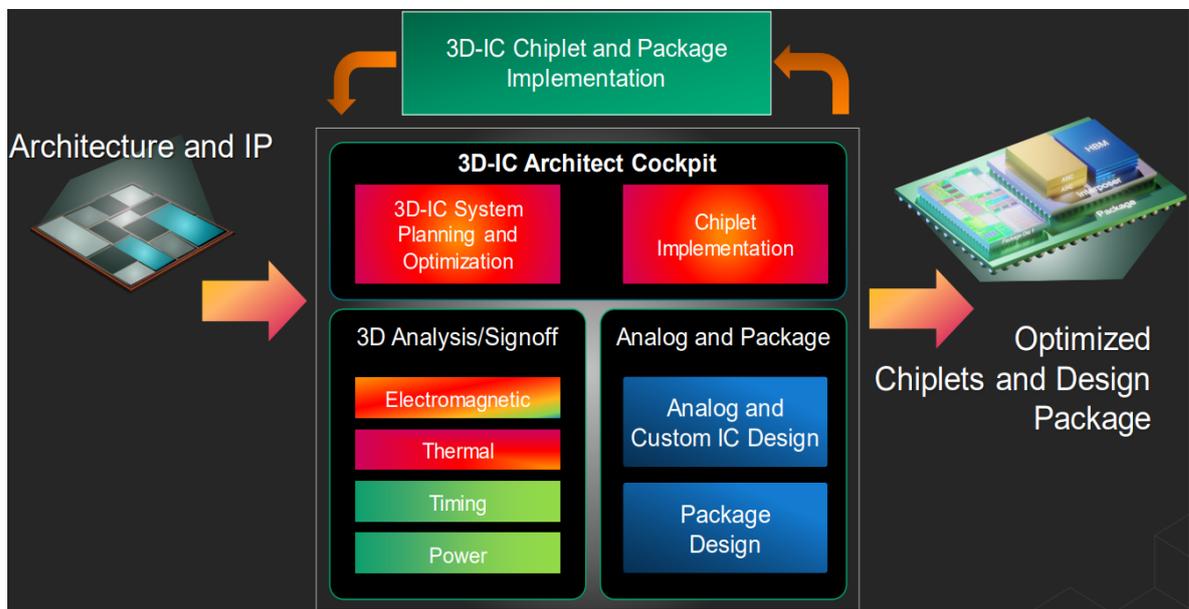
資料來源：Synopsys (2020)

圖 4.1、Chiplet 晶片樣態

異質整合 Chiplet 技術正在推動半導體產業的快速發展，但也帶來了設計上的諸多挑戰，尤其是系統設計複雜度。如何快速開發 Chiplet 異質系統涉及幾個關鍵步驟，涵蓋從設計到製造的全過程。以下是一些快速開發 Chiplet 的參考解決方案：

1. 明確需求和規範：清晰定義 Chiplet 的功能需求和性能指標，包括功耗、頻率、介面標準等。
2. 架構探索與分析：對於晶片設計來說，Chiplet 擁有設計彈性跟模組，透過

拼接組合方式，能發揮綜合效益。雖然不是傳統同質性（製程）設計複雜的大晶片，但整合到 2.5D/3D 封裝，系統複雜度大幅提升，反而在系統設計方面有著更大挑戰。面臨不同的製程、彈性架構、多樣的高速互聯介面、不同的封裝結構與材料。需要確定系統中的功能模組，如處理器核心、記憶體模組、I/O 介面等功能與製程，並決定如何進行 Chiplet 分割與設計：將單一的大型 system-on-chip 拆解為多個小型 Chiplet，每個 Chiplet 負責不同的功能模組。然後使用 2.5D 或 3D 封裝技術將這些 Chiplet 整合到一個多晶片模組中。這裡的挑戰在於確保晶片之間的 interconnect 具備高頻寬、低延遲的傳輸性能，並且要考慮功耗、散熱以及封裝成本。因此，在系統層級的設計和優化，需要進行更多的架構探索與分析，以達到系統設計優化。請參閱下圖 4.2。

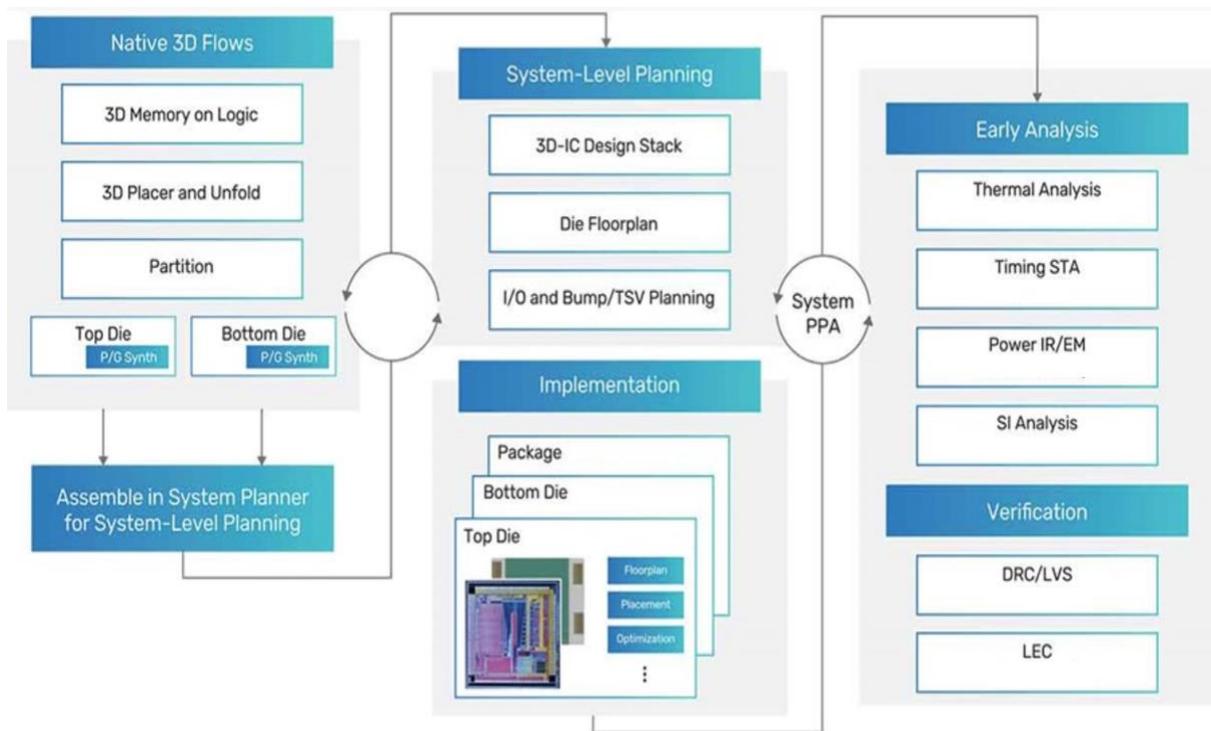


資料來源：Cadence

圖 4.2、架構設計與規劃

3. 設計重用性：利用已有的 IP(Intellectual Property)模組和設計工具，可以大大減少設計階段開發。IP 模組可以是內部開發的，也可以是從外部授權的設計。在此階段，設計人員會根據系統的需求進行高階設計選擇，這些選擇會影響後續的製程技術和封裝技術。例如，某些功能模組會使用最新的製程來提高效能，而其他模組會使用較為成熟的技術來降低成本。
4. 小晶片模組化設計：採用模組化設計理念，可將多個可重複使用和獨立測試的小晶片模組，進行平行開發和快速整合，甚至透過 IO Hub 概念，快速進行拼貼與組合。
5. 先進的異質整合設計工具：使用 EDA(Electronic Design Automation)工具，如 Cadence、Synopsys 和 Siemens (Mentor Graphics)等，可以從架構、實現

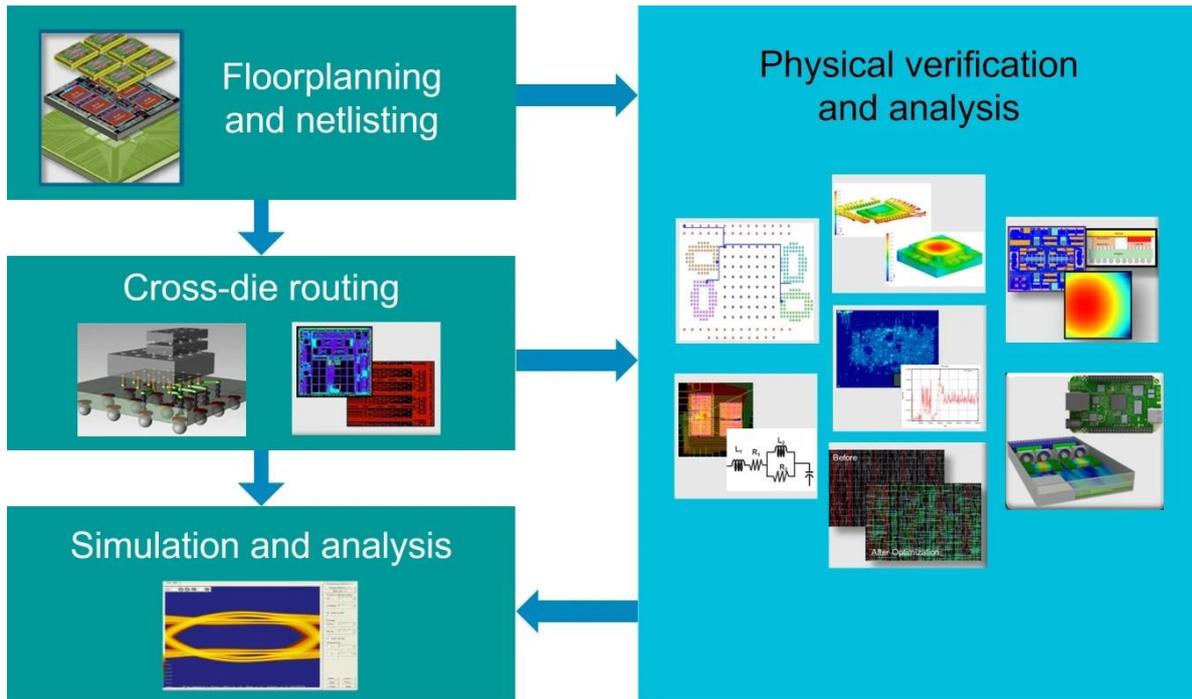
再到實體設計，以加速 2.5D 或 3D 設計、下線和驗證。整體包含設計規劃、晶片實作和驗證分析，必須考量適用於各式 3D 設計類型的堆疊規劃，能夠管理和實現 3D 堆疊、晶片分割、邏輯晶片與記憶體排列、佈局擺置、IO/Bump/TSV 規劃，實現兼具晶片功耗、處理速度、面積優化、時序、理想排列方式等流程的高能效設計。參閱下圖 4.3。



資料來源：Cadence

圖 4.3、2.5D/3D IC 設計流程

6. 多重物理模擬和驗證：先進封裝的 3D IC 與平面 SoC 相比，可縮短訊號需要傳輸的距離，但由於 IC 速度提升、資料傳輸速率加快、電源電壓降低以及幾何結構更密集，因而也導致電源完整性(PI)和訊號完整性(SI)日益嚴重。在此同時由於 3D IC 封裝內密集的元件不斷運作而產生熱量，尤其在狹小空間每個晶片都因不同應用需求，而在不同的功率條件下工作，在此 3D 物理空間上被其他小晶片、凸塊、封裝材料、TSV 和銅柱包圍。功率不均勻分佈產生熱梯度，功率變化也交互影響導致熱點發生，加上堆疊減薄晶片會增加熱阻，從而性能下降、可靠性降低，並縮短晶片使用壽命。不只溫度的變化會影響晶片內電晶體的電氣行為。同樣機械應力也會影響 3D IC 的電氣性能。因此為了解決這些多重物理問題，須採用多種模擬工具和熱管理技術，對設計進行廣泛的模擬和驗證，如：電源完整性、訊號完整性、可靠度分析、熱、電磁、熱流體、應力等參數的模擬，從而預測並優化 3DIC 的性能，以減少後期發現設計缺陷的風險，確認產品可行性。請參閱圖 4.4。



資料來源：Siemens (2024)

圖 4.4、多重物理模擬和驗證

7. 設計服務合作：與專業的晶片設計服務團隊合作，可涵蓋更完整的電源管理、訊號分析、熱管理、量產測試、系統可靠性和可製造性方面等不同考量，或將部分設計工作外包給有經驗團隊，可以顯著縮短開發時間。
8. 先進封裝技術：選擇合適晶圓代工廠（如台積電、三星）採用 2.5D 或 3D 封裝技術，這些不同技術可將不同功能的 Chiplet 整合在一個封裝中，提升系統性能和縮短開發時間，並加速晶片和生產。

透過以上方法，可以顯著加快 Chiplet 的開發過程，確保設計的可製造性和高效測試，縮短從設計到成品的時間，提供高效、更靈活和更完整的異質系統快速開發解決方案。

目前 2.5D 和 3D 系統設計因為牽涉高階製程技術，主要由一些垂直整合(IDM)的公司推動，並利用其傳統的工具進行分析。但這種方式只適用於擁有所有設計部分的情況，而不適用於小晶片的市場。因此，需要電子設計自動化(Electronic design automation, EDA)行業提供更全面、更整合、更開放的設計流程解決方案，以滿足更廣泛的設計社區的需求。此外，還需要政府、學術界和行業組織的支持和合作，以推動標準的制定和小晶片的生態系統的發展。

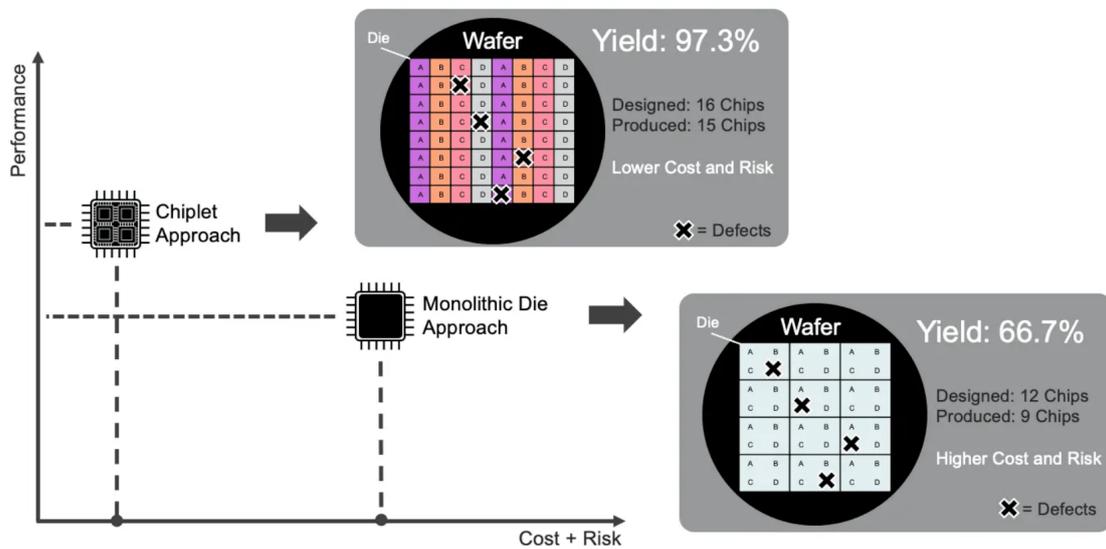
二、Chiplet 互連介面挑戰

在 AI 性能大躍進，帶動運算需求大幅成長，整個半導體產業戮力求取更高速的運算、更低的能耗、以及晶片與晶片之間更直接的溝通。然而摩爾定律所帶來的製程微縮效果，在效能表現上已不如過去前幾代製程來得有效益，系統單晶

片(SoC)設計難以滿足 AI、高效能運算和大規模資料中心的需求，小晶片和異質整合的多晶粒(Multi-Die)系統則提供了新的解決方案。

Chiplet 技術可以大幅提高晶片製造的良率，並降低設計的複雜度和設計成本，不同的小晶片可以獨立優化，最終的整合產品往往能夠獲得更好的整體性能。例如，AMD 在 Chiplet 技術的發展上將傳統單一系統單晶片設計切分為多個較小的 Chiplets，帶來全新處理器設計方法，並應用在 AI、高效能運算、雲端運算等領域。整體而言，使用 Chiplet 技術可為半導體產業帶來以下好處，亦可參閱圖 4.5 兩者(Chiplet vs. SoC)的性能和成本比較。

1. 優化晶片的性能和功耗：Chiplet 可以針對特定功能和技術進行優化，提高 SoC 的性能和效率；此外，Chiplet 可以更接近地放置在一起，減少互連的延遲和能耗。
2. 較低晶片的製造成本：Chiplet 可以使用不同的製程節點和晶圓廠來製造，降低一次生產大型複雜晶片的成本和風險；此外，Chiplet 還可以在不同的 SoC 之間重複使用，降低研發成本並縮短上市時間。
3. 提高晶片設計的靈活性和擴展性：可以彈性增加或移除 Chiplet，以調整 SoC 的功能和性能，從而實現產品創新和適應多變的市場需求。



資料來源：Semiconductor Engineering

圖 4.5、Chiplet 與單晶片設計方法的性能和成本比較

(一) Universal Chiplet Interconnect Express(UCIe)產業聯盟

2023 年由 Intel、AMD、微軟、Meta、Google、Qualcomm、三星、台積電等業者宣布組成的 Universal Chiplet Interconnect Express(UCIe)產業聯盟，目前已經有超過 120 個成員加入，針對 Chiplet 設計、製造及封裝建立一個標準化介面，實現小晶片差異化設計，同時透過成熟發展 PCI Express (PCIe)，以 CXL (Compute

Express Link)連接協議，提供更快數據傳輸效率。PCIe 及 CXL 互連技術比較分析如表 4.1。

表 4.1、PCIe 及 CXL 互連技術比較分析

項目	PCIe	CXL
推動單位	2003 年，由 Intel、Dell、HP 及 IBM 提出，標準目前由 PCI-SIG 組織制定和維護	2019 年，在 Intel 主導下，號召阿里巴巴集團、Cisco、Dell、Facebook (Meta)、Google、HPE、華為、微軟等廠商，成立了 CXL 聯盟 (CXL Consortium)，共同發展與推廣高速介面新標準
主要應用	是一種高速的序列電腦匯流排，是 PCI 規格的延伸	處理器與處理器之間的超高速互聯新標準
規範內容	<ul style="list-style-type: none"> • PCIe 的規範主要是為了提升電腦內部所有匯流排的速度 • PCIe 保證了相容性，支援 PCI 的作業系統無需進行任何更改即可支援 PCIe 總線 • PCIe 是一個多層協定，由事務層，資料交換層和實體層構成 • PCIe 也可以延伸到晶片組間的連接，甚至也可以用於連接圖形處理器，這樣，整個 I/O 系統重新統一起來 	<ul style="list-style-type: none"> • CXL 1.0/1.1: 只允許主機 CPU 與周邊裝置一對一直連。 • CXL 2.0: 允許主機與周邊裝置間組成多對多連接的交換網路，大幅提高了 CXL 裝置連接數量與彈性 • CXL 3.0: 則進一步提供多層式交換連接，並支援網格式 (Mesh)或環狀(Ring)等非樹狀的交換連接架構
最大頻寬	32GT/s x16 for PCIe 5.0 64GT/s x16 for PCIe 6.0	32GT/s x16 for CXL 2.0 64GT/s x16 for CXL 3.0

資料來源：Synopsys、維基百科；工研院電光所彙整

在 UCIE 1.1 規範中涵蓋了 Die-to-Die I/O 物理層、Die-to-Die 協定層以及軟體模型與相容性測試的程序。UCIE 允許一顆晶片當中混裝多個不同廠商的裸晶 (Die)，同時透過整合多個小晶片提高製造的良率。物理層支援高達 32 GT/s，具有 16 至 64 個通道，並使用 256 字節流量控制單元 (FLIT) 於資料傳輸，類似於 PCIe 6.0; 協定層基於具有 CXL.io (PCIe)、CXL.mem 和 CXL.cache 協定的 Compute Express Link。多個晶片上互連技術可用於「標準」2D 封裝的有機基板，或用於「進階」2.5D/3D 封裝。

此外，UCIE 聯盟於 2024 年 8 月發表 UCIE 2.0 規範，增加以下關鍵功能，以

開放的晶片生態系統，促使系統封裝(SiP)解決方案更加靈活和高效：

1. 標準化管理：UCIe 2.0 包括一個標準化的系統架構，用於管理多個晶片的測試、管理和調試，解決了整個生命周期中的挑戰。
2. DFX 架構：它引入了 UCIe DFX（設計測試、設計調試）架構，允許對每個晶片進行測試、遙測和調試，確保不同供應商之間的互操作性。
3. 3D 封裝支持：UCIe 2.0 支持 3D 封裝，提供比 2D 和 2.5D 封裝更高的帶寬密度和更好的功率效率。
4. 向後兼容性：新規範完全向後兼容 UCIe 1.1 和 1.0。

(二) UCIe 產業應用現況

Chiplet 能否成為一種新的 IP 產品和商業模式，主要困境來自於現有晶片設計流程、機密資訊安全的疑慮、製造價格仍高（尤其是在初期階段），以及軟體技術的成熟度不足。UCIe 是一個全新標準，對於希望導入裸晶到裸晶(Die-to-Die)的晶片設計公司來說，在技術研發上仍存在高度風險。例如，目前國際上知名的 Chiplet 產品，大多由 Intel、AMD、Nvidia 等大型晶片公司自行研發設計和下線生產，其所採用的技術和 Chiplet 設計皆由同一家公司團隊完成。而 CSP（雲端服務業者）為了掌握關鍵晶片自主性，會以委外設計的商業模式，在掌握關鍵技術與開發成本間找出一個平衡點。

例如，Intel 在 2023 年 9 月 Intel Innovation 活動展示了採用 UCIe 構建的測試晶片封裝，透過 Intel 的 EMIB 技術，結合了 Intel UCIe IP 小晶片和在台積電 N3E 製程節點上製造的 Synopsys UCIe IP 小晶片，向全球展示 UCIe IP 合作成果。但在商業資料保密及產品開發風險考量上，現階段對於非全球領導廠商的中小晶片設計公司，尚難以用 Chiplet 的商業模式與其他廠商進行合作。

理想的 Chiplet 生態，是由各型晶片設計公司重複利用各自製程工藝已經完備的 Known Good Die (KGD)，合作組成系統產品，而不是每換一個製程，就需要重新購入相關的 IP。但導入 UCIe 技術門檻極高，UCIe 的速度規格等同 PCIe 6.0，通常需要具備小於 7 奈米的製程工藝，才能達到 UCIe 所制定的規格。這限制了非先進製程的晶片設計公司在 Chiplet 上重複使用既有晶片 KGD 的能力，仍需克服產業生態的瓶頸。

(三) Chiplet 互連介面

面對 SoC IP 的商業模式已經相當穩定，設計軟體和流程都已經成熟的產業現況；Chiplet 除了加速 UCIe 規格的研發外，尚須提出矽晶驗證(Silicon-proven)的證據，也是客戶導入合作案的重要評估關鍵。

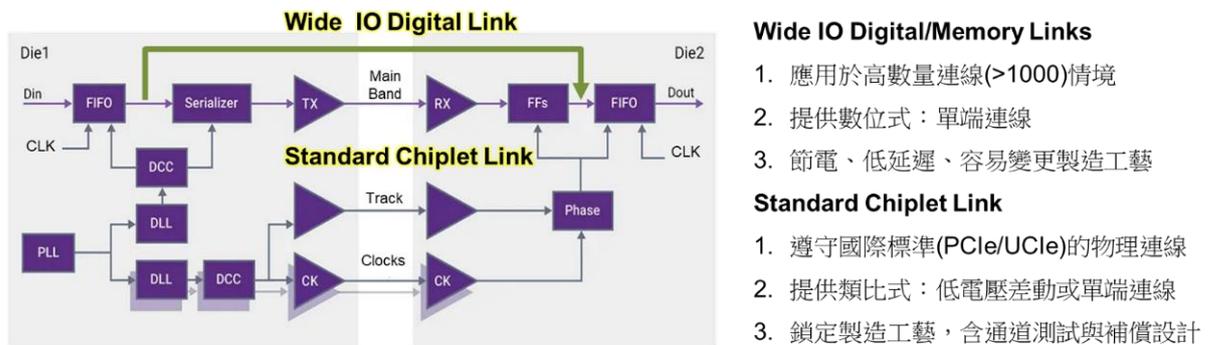
因此，為加速國內小晶片技術發展，建立互連技術與通用 IP 是 Chiplet 成功關鍵。國內需要一個全新的產業生態系統(Ecosystem)，結合製程廠、晶片設計公

司聯合建立一套適用於臺灣產業升級、泛用性佳的互連 IP 套件，其內容包含高速、高連線密度之物理層、節電設計降低供電散熱需求，並且因應製程廠的工藝節點，以及 IC 公司客製化需求，目標為設計可自動化、參數化產生的硬體連線 IP、自動化測試 IP、以及品質驗證工具套件(Verification tool kit)等。

此外，互連技術也需要因地制宜，亦即根據 Chiplet 堆疊的連線數量、組裝方法、製程工藝決定連線模式，根據業界產品需求，大致需要兩種物理連線的模式：數位 Wide IO 互連與國際標準互連；如圖 4.6 所示。

1. 數位 Wide IO 互連：適用於 3D IC 連接，連線數量非常高。透過單端 (Single ended) 訊號模式、數位訊號，免除高頻震盪載波，提供節能、低延遲、容易變更製造工藝等特性。相當適合用於晶片公司自行開創堆疊產品，例如中小晶片設計公司研發的加速器 NPU，連結到 ARM 或 RISC-V 的處理器。
2. 國際標準互連模式：則是遵守國際連線標準，例如 UCIe。這種國際標準連線適用於 2.5D 的高規格 Chiplet 互連，通常適用於較大規模 Chiplet 產品整合，例如中小晶片設計公司研發的加速器 NPU 連接到 Intel 的 Xeon 伺服器處理器。

雙模式物理連線設計 Dual-mode Physical Link



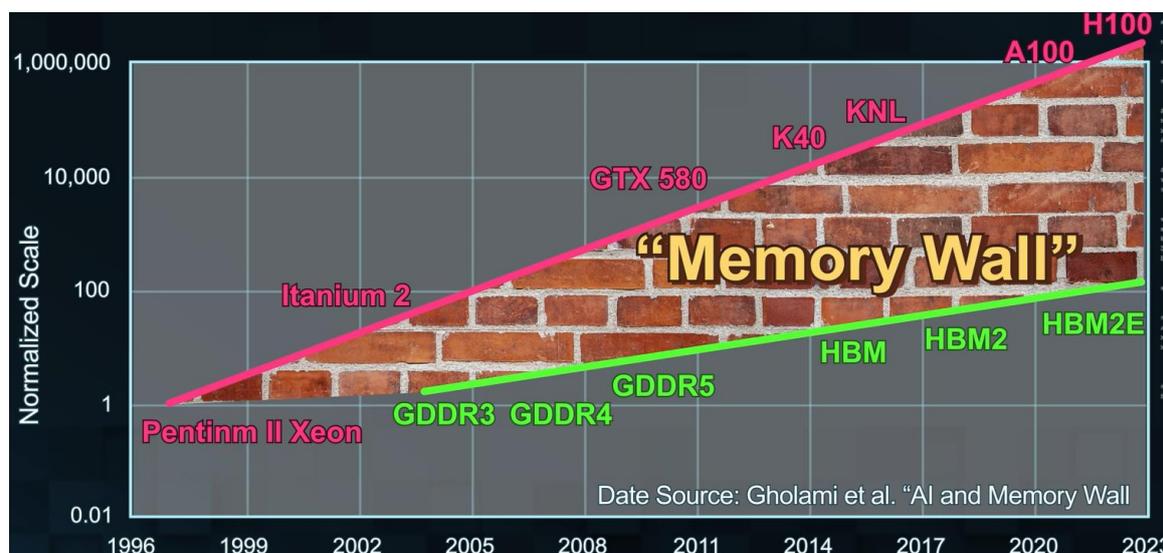
資料來源：Synopsys

圖 4.6、雙模物理連線設計 Dual-mode Physical Link

(四) 記憶運算一體化 Chiplet

人工智慧已經徹底改變了我們的世界，從自駕車到個人化推薦應用，這些創新背後，強大的 AI 晶片在驅動。然而，這些晶片面臨著記憶體瓶頸。首先，歷史悠久且廣泛採用的馮·諾伊曼(Von Neumann)架構，是大多數電腦的基礎，將記憶體和計算分開，數據必須在計算單元和記憶體之間傳輸，造成大規模數據交換的瓶頸，對於生成型 AI 應用，這個瓶頸因為記憶體密集型操作而加劇（如大型向量矩陣乘法和權重移動），導致所謂的「AI 記憶體牆」。其次，在過去的二十年中，伺服器硬體的峰值 FLOPS（每秒浮點運算次數）遠遠超過了 DRAM 和傳輸頻寬

的增長。即使是強大的 AI 晶片也難以跟上指數增長的模型大小，既需要容量又需要頻寬，從而加劇了 AI 記憶體牆的問題，具體比較數字可以參考圖 4.7。



資料來源：Gholami et al. AI and Memory Wall

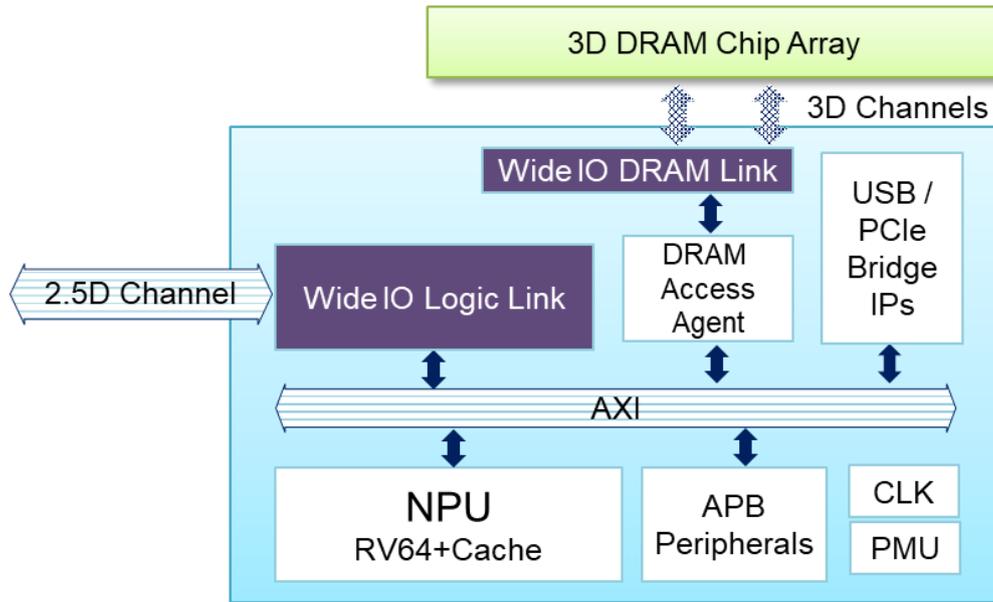
圖 4.7、AI and Memory Wall

AI 晶片的最關鍵指標有三個：運算效能、儲存速度和容量，以及耗電與散熱。尤其是高效能運算(HPC)在處理大規模複雜計算問題方面具有重要作用。例如大語言模型需要量測的參數可達到數十億甚至數兆個，運算需要綜合考慮記憶體、計算、通訊傳輸等多個因素，以實現高效且可擴展的運算。

記憶運算一體化 Chiplet 設計，是直接影響這三個指標的關鍵元件，透過 3D 堆疊架構來提供可延展的 AI 晶片資料存取能力，以高頻寬、低耗電且有助於量產的晶圓級堆疊(wafer on wafer stacking)，共同解決 AI 晶片在資料存取頻寬、耗電和產能不足方面的問題。

記憶運算一體化技術是一套可以堆疊延展的運算加值 Chiplet，這些 Chiplet 可以搭配垂直 3D 和水平 2.5D 方向，使用不同的拓撲（如 line、ring 和 mesh）進行資料分享，建立通用邏輯運算單元與記憶體共構一體化堆疊設計，具備獨立對外的 Wide IO，可以用單 Chiplet 執行使用者程式，支援 Chiplet 連線，亦可聯合多個相同 Chiplet 延展計算能力；典型架構圖可以參考圖 4.8。

國內需要製程和晶片設計公司聯合建立一套通用性佳的運算記憶平台，實現 3D 堆疊之邏輯運算單元與高密度的記憶體架構，發展邏輯晶片和 DRAM 垂直異質疊合(Hybrid bonding)製程，並共同研發下一代 AI 應用所需的新型 DRAM 架構。整合邏輯、記憶體之 AI 設計及製造服務，將大幅降低 AI 晶片研發門檻。



資料來源：工研院

圖 4.8、記憶運算一體化架構

技術研發重點為近記憶體的領域特殊加速器(XPU)與通用處理器(CPU)，透過 3D 堆疊的 DRAM 等記憶體，獲得超高的資料存取速度，然而也需要一個資料集散的管理機制，有效利用這種堆疊超高通道數量的時序與物理特性。

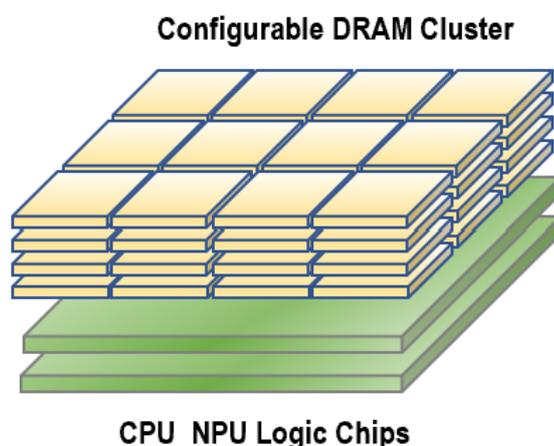
另一方面，邏輯運算單元的 Chiplet 則強調可重複利用性。由於邏輯運算單元 Chiplet 本身的 CPU / GPU IP 單價較高，也將會整合較高單價的 PCIe/UCIe 等介面 IP。因此，CPU 和 XPU 的 Chiplet 整合，將會成為晶片大廠和中小晶片設計公司的一種新興商業模式。

(五) 3D Stacking DRAM 技術與 Chiplet

同質邏輯 3D 堆疊是將相同或相似的邏輯小晶片堆疊在一起。這些小晶片採用相同的製程技術和功能進行設計。小晶片之間的互連相對簡單，因為它們具有相似的特性。由於相同的小晶片非常接近，管理散熱變得至關重要。堆疊和黏合過程中的精確對齊對於確保正確的電氣連接至關重要。測試同質 3D IC 可以更簡單，因為小晶片具有一致的特性。由於更短的互連和更低的延遲而提高了性能。與傳統的整體設計相比，佔地面積較小。電源高效率低功耗，使用同質技術堆疊多個記憶體晶片。

DRAM 發展至今達到多種維度、多種結構的演變，為業界提供了各種解決方案來應對其挑戰。然而，如何優化和提高容量效能、耐用和可靠性仍然是推進 3D DRAM 技術的重大挑戰。3D 堆疊滿足未來高效能運算需求並延續摩爾定律，透過垂直堆疊 DRAM 晶片來提高記憶體密度和性能。然而，隨著製程節點的縮小和記憶體密度的增加，DRAM 單元的可靠性成為一個日益嚴峻的問題。3D DRAM 的高密度隨著堆疊層數增加，受到製程變異影響愈多。所以仰賴自身修補機制，

搭配邏輯控制器、偵錯和容錯設計，才得以確保數據的完整性和系統的穩定運行，如圖 4.9 所示。



資料來源：工研院

圖 4.9、DRAM +Logic 大容量記憶體階層

3D Stacking DRAM 技術和 Chiplet 技術相輔相成，是達成高速介面傳輸電路及記憶運算一體化架構的關鍵，這些技術的結合將有助於實現更高效、更可靠的計算系統，滿足未來的運算需求，關鍵成功要素如下：

1. 高密度記憶體整合：3D Stacking DRAM 技術透過垂直堆疊 DRAM 晶片來提高記憶體密度，這與 Chiplet 技術的目標一致。Chiplet 設計可以將不同功能的晶片模組化，並透過高效的互連技術（如 UCIe）將它們整合在一起。這樣可以在一個封裝內實現高密度的記憶體和邏輯運算單元。
2. 製程變異與可靠性：隨著製程節點的縮小和記憶體密度的增加，DRAM 單元的可靠性成為一個挑戰，Chiplet 技術可以透過模組化設計和先進的封裝技術來減少製程變異的影響。例如，將 DRAM 和邏輯控制器分開製造，然後在封裝階段進行整合，可以提高整體系統的可靠性。
3. 修補機制與容錯設計：3D Stacking DRAM 技術需要依賴自身的修補機制和容錯設計來確保數據的完整性，Chiplet 技術可以透過整合先進的邏輯控制器和偵錯機制來增強這些功能；這樣可以在系統層面上提供更高的數據完整性和穩定性。
4. 高效能運算需求：3D Stacking DRAM 技術滿足未來高效能運算需求，而 Chiplet 技術則提供了一種靈活且可擴展的解決方案。同時透過將不同功能的 Chiplet（如 CPU、GPU、XPU 和 DRAM）整合在一起，可以實現高效能運算所需的高頻寬、低延遲和高可靠性的晶片系統產品。

(六) Chiplet 結合 IP Bank，深化產業合作

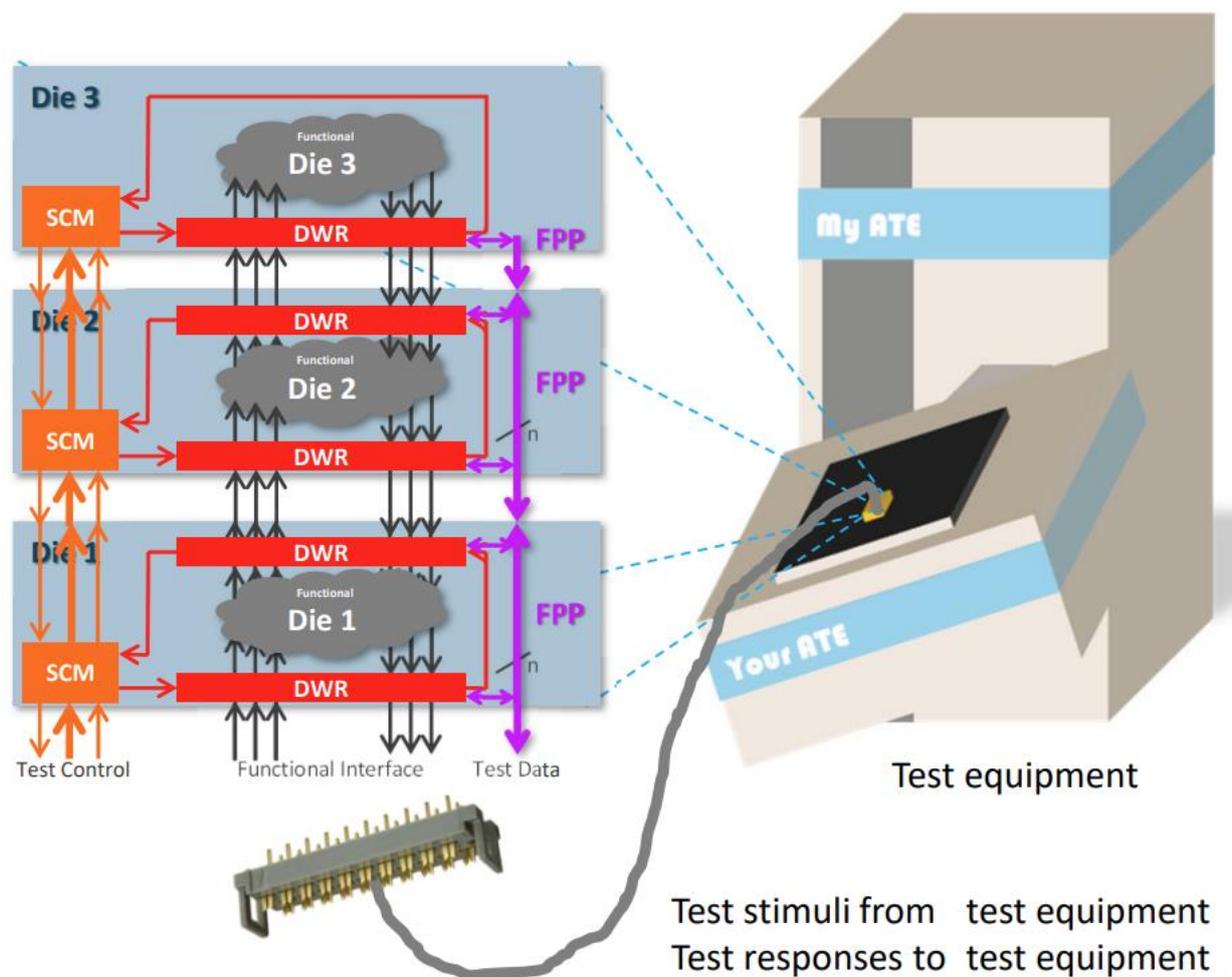
整體而言，在 Chiplet 互連介面挑戰上，自 UCle 2.0 規範導入標準化管理、DFx 架構、3D 封裝支持及向後兼容性等關鍵增強功能後，Chiplet 若能結合 IP Bank 合作模式，將在開放的晶片生態系統下，加速落實 UCle 開放標準，達成以下產業合作效益：

1. 標準化 IP 模組：UCle 標準化了晶片之間的互連介面，使得不同廠商的晶片模組可以互相兼容。IP Bank 提供經過驗證的 UCle IP 模組，這些模組可以被不同的晶片設計公司使用，從而促進了產業合作。
2. 降低開發成本：透過 IP Bank，晶片設計公司可以獲得現成的 UCle IP 模組，減少了自行開發的時間和成本。這使得更多公司能夠參與到 UCle 生態系統中，推動了產業的合作與發展。
3. 提升互操作性：UCle IP 模組經過標準化測試和驗證，確保其性能、兼容性和可靠性達到預期標準。這樣的 IP 模組更容易被整合到系統中，促進不同廠商之間的合作。
4. 支持多種協定：UCle IP 模組支持多種常用的通訊協定，如 PCI Express (PCIe) 和 Compute Express Link(CXL)，這使得不同應用場景下的晶片模組可以更靈活地組合和使用。

三、互連介面設計與測試挑戰

異質整合技術正迅速成為半導體產業的關鍵突破口，透過將不同功能的 Chiplets 整合在一個封裝內，提供了更高的性能和靈活性。異質整合 Chiplet 可來自不同製程技術或製造商，以實現最佳化的成本、性能和能效。然而，在這一創新技術中，互連介面的設計與測試面臨著諸多挑戰，成為了異質整合能否成功的關鍵要素。而因應 3D 測試需求，目前已有多項測試標準如下：

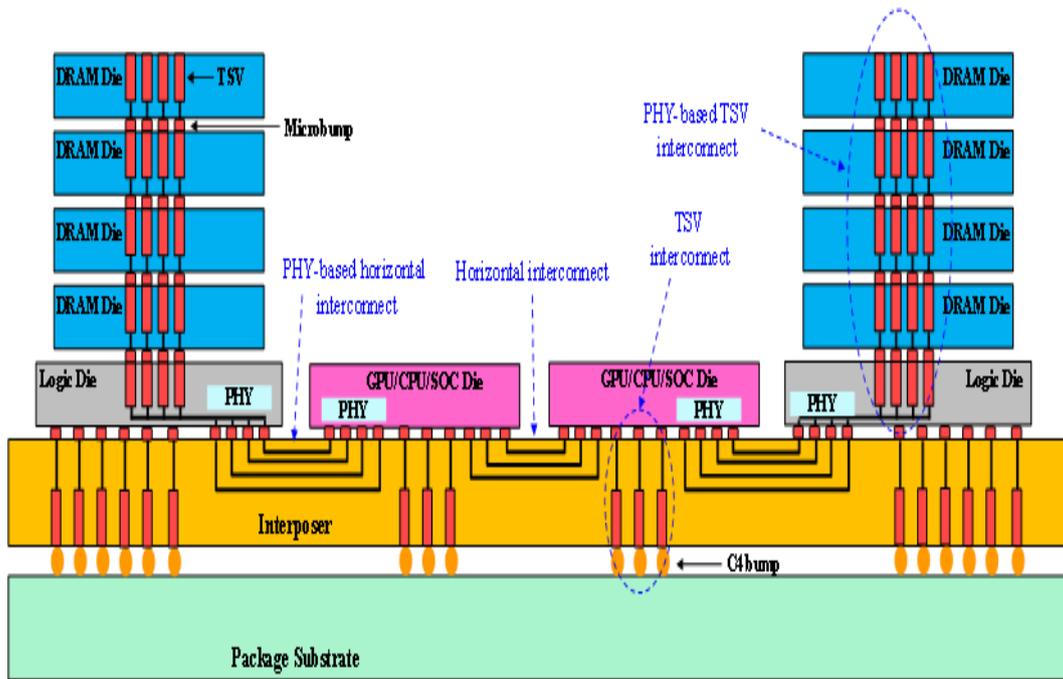
1. IEEE 1149.1 (JTAG)
2. IEEE 1687 (IJTAG)
3. IEEE P1838 (如圖 4.10)
4. JEDEC 標準 (Wide I/O 記憶體測試 JESD226)



資料來源：IMEC (2020)

圖 4.10、IEEE Std P1838

但測試仍存在許多挑戰：包含 Known Good Die 測試、晶片間導線測試、系統層級測試。針對不同類型的互連也會面臨：PHY-based 水平連線測試、垂直連線測試、TSV 連線測試及 PHY-based TSV 連線測試。而支援 pre-bond 及 post-bond 測試技術：需考量 測試時間、可測試設計電路成本、瑕疵定位(fault location)、串擾錯誤(crosstalk fault)測試等等問題。請參閱圖 4.11。



資料來源：Siemens (2024)

圖 4.11、互連介面測試挑戰

(一)互連介面設計挑戰

1. 訊號完整性：在高密度 Chiplet 互連中，訊號完整性是首要考慮的問題。高速數據傳輸容易受到串擾(crosstalk)、反射和衰減的影響。設計者必須採用先進的訊號完整性分析工具和技術，如 3D 電磁模擬等，以確保訊號質量。
2. 電源管理：異質整合中的不同 Chiplet 可能具有不同的電源需求，如何高效地管理和分配電源成為一大挑戰。設計者需要考慮電源噪聲、電源完整性等問題，以保證系統的穩定運行。
3. 熱管理：隨著 Chiplet 密度的增加，熱管理變得尤為重要。高功耗 Chiplet 的集中分佈會導致熱集中現象，影響系統性能和壽命。熱管理設計需要包括高效的散熱材料、熱界面材料(TIM)以及先進的熱模擬技術。
4. 結構可靠性：異質整合封裝涉及不同材料和製程，這些材料在熱膨脹係數上的差異可能引發應力和變形，導致封裝的可靠性問題。設計者需要透過精確的結構與力學模擬和測試來評估和改善封裝的可靠性。
5. 標準化和互操作性：目前，Chiplet 互連技術缺乏統一的標準，不同廠商的解決方案可能不兼容。標準化的互連介面協議和測試方法對於推動異質整合技術的普及至關重要。開放標準如 UCIE(Universal Chiplet Interconnect Express)正在積極推動，但仍需業界的廣泛合作和支持。

(二)互連介面測試挑戰

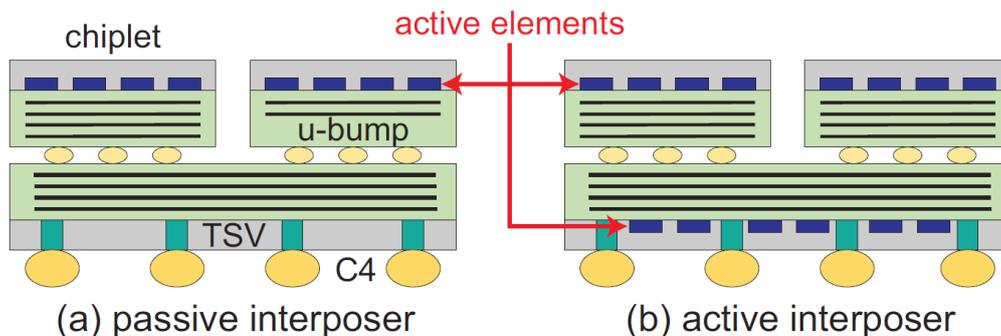
以先進封裝技術整合小晶片為 2.5D/3D 系統晶片，已是目前高效能運算 (High Performance Computing, HPC) 晶片系統主流技術，在 2.5D/3D 系統晶片中，一般會由矽載板(silicon interposer)整合多個小晶片，包含 2D Side-by-Side 小晶片及 3D Stacking 小晶片；例如：一矽基板整合兩個高頻寬記憶體及兩顆運算晶片（例如 GPU/CPU/SOC）成為 HPC 系統晶片，雖然先進封裝技術可實現高效能系統晶片，然而在測試部分則存在許多挑戰，包含 Known Good Die 測試、晶片間導線測試、系統層級測試等。

在 2.5D/3D 系統晶片中，先進封裝技術如矽中介層(silicon interposer)整合多個 Chiplet，包括 2D Side-by-Side 和 3D Stacking 晶片。這些技術雖然能實現高性能，但在測試方面面臨諸多挑戰，如 Known Good Die 測試、晶片間導線測試和系統層級測試等。尤其在晶片間導線數量龐大的情況下，需要針對不同類型的互連進行測試，如 PHY-based 水平連線測試、垂直連線測試、TSV 連線測試及 PHY-based TSV 連線測試。

因此，若能針對可測試設計電路成本、測試時間、瑕疵定位(fault location)、crosstalk fault 測試等問題，開發 2.5D/3D 整合晶片中晶片間之導線相關的測試技術，支援 pre-bond 及 post-bond 測試技術，將可降低可測試設計電路成本和減少測試時間，以提高整體小晶片系統連線間之錯誤涵蓋率。

四、封裝與中介層挑戰

隨著工藝節點不斷縮小，物理和經濟上的挑戰逐漸顯現，電晶體縮小的速度開始放緩，製造成本則顯著上升。摩爾定律的持續性受到質疑。在此背景下，中介層(Interposer)技術作為一種關鍵的創新，已經在持續改變這一規律。中介層技術是指在積體電路封裝過程中使用的一種中介層，它可以有效地連接多個晶片，增強系統的整體性能和效率。根據功能的不同，中介層可以分為主動式(Active Interposer)和被動式(Passive Interposer)，此兩類中介層的結構如下圖 4.12 所示。將深入探討這兩種類型的中介層技術及其在半導體行業中的應用和發展前景。



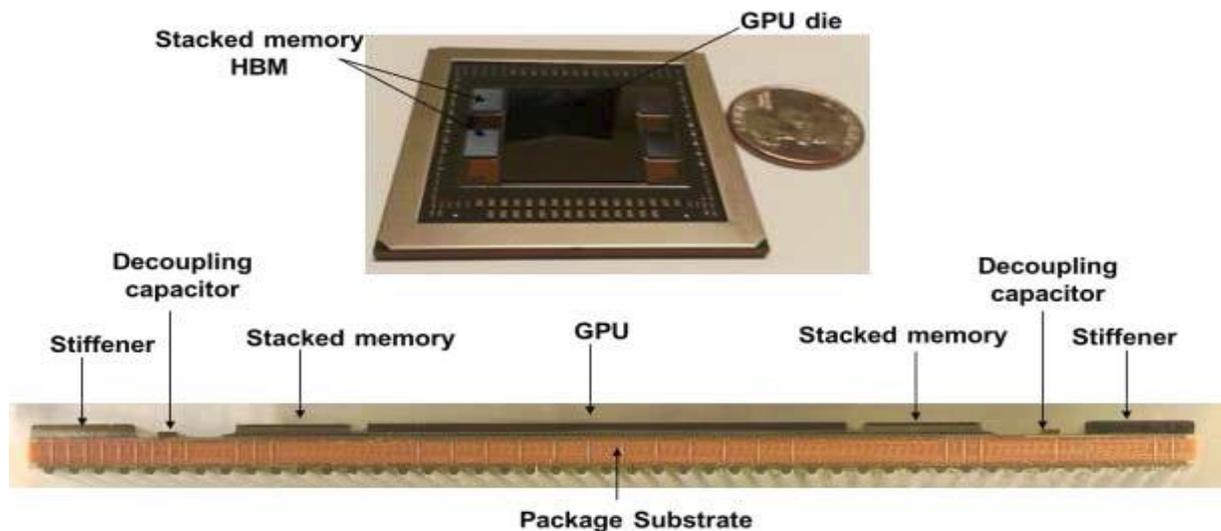
資料來源：H. Park et al. (2020)

圖 4.12、被動式與主動式中介層結構

(一) 中介層技術發展與分類

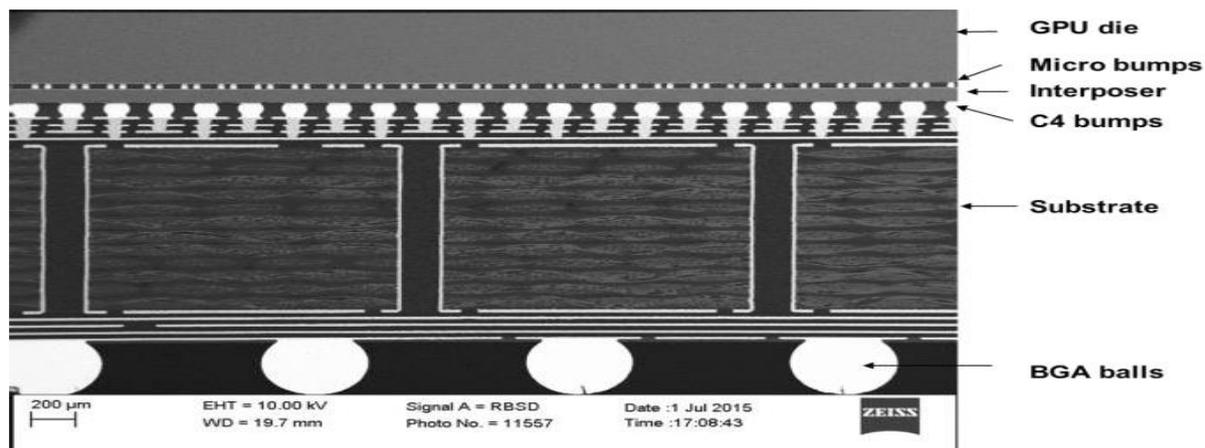
中介層技術最早出現在 20 世紀 90 年代，用於解決晶片間互連和訊號傳輸的問題。隨著工藝技術的進步，中介層逐漸發展出兩種主要類型：被動式和主動式。被動式中介層主要用於連接晶片，而主動式中介層則整合了更多的功能，如訊號處理和電源管理。

1. 被動式中介層技術（請參閱圖 4.13 及圖 4.14）是一種沒有主動電路功能的中介層，主要用於實現晶片之間的互連。它通常由矽、玻璃或有機材料製成，能夠提供高密度的互連和良好的熱管理。其主要特點包括：
 - (1) 高密度互連：被動式中介層可以實現非常高密度的互連，適合於需要大量互連的高效能計算和記憶體應用。
 - (2) 良好的熱管理：由於被動式中介層通常由高熱導率材料製成，它們能夠有效地散熱，保證系統的穩定性和性能。
 - (3) 成本相對較低：被動式中介層的製造工藝相對簡單，因此成本較低，適合大規模生產和應用。



資料來源：C. -C. Lee et al. (2016)

圖 4.13、2011 年 AMD 在其 AMD Radeon™ Fury GPU 上所使用的被動式中介層的樣品圖示及樣品切面圖示。

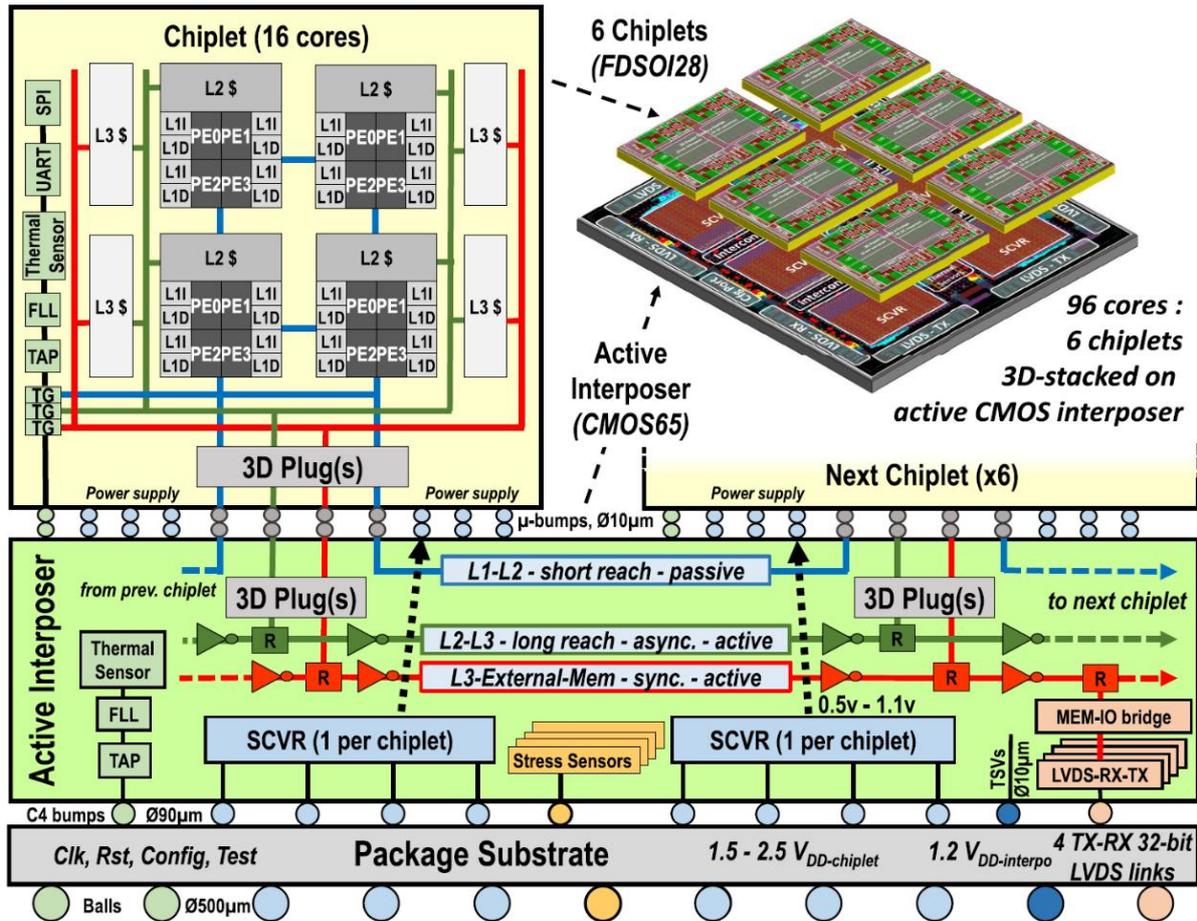


資料來源：C. -C. Lee et al. (2016)

圖 4.14、AMD Radeon™ Fury GPU 的切面圖

2. 主動式中介層技術是一種整合了主動電路功能的中介層，能夠進行訊號處理、電源管理等操作。它不僅實現了晶片之間的互連，還能夠增強系統的整體性能和功能。其主要特點包括：
 - (1) 多功能整合：主動式中介層可以整合多種功能電路，如放大器、濾波器和電源管理電路，增強系統的性能和靈活性。
 - (2) 高效能：由於主動式中介層可以進行訊號處理和優化，它們能夠顯著提高系統的性能，特別是在高速應用中。
 - (3) 設計靈活性：主動式中介層提供了更大的設計靈活性，使工程師可以根據具體需求進行定制化設計。

下圖 4.15 為主動式中介層的典型代表，此中介層中除了將電源管理電路、溫度與應力感測器置入之外，亦將中介層上方小晶片連線所需的電路納入中介層中，所以能夠達到靈活的多功能整合的高效能設計。



資料來源：P. Vivet et al. (2021)

圖 4.15、主動式中介層典型結構

(二) 中介層技術的應用

1. 高效能運算(HPC)

在高效能計算領域，中介層技術被廣泛應用於處理器和記憶體的高密度整合。被動式中介層可以將多個處理器和記憶體晶片緊密整合，提高系統的計算性能和數據頻寬。同時，主動式中介層能夠進行訊號處理和電源管理，進一步提升系統的性能和效率。

2. 圖形處理器(GPU)

在圖形處理器(GPU)領域，中介層技術被用於實現高密度的互連和高效的散熱管理。被動式中介層能夠提供高密度的互連，使得 GPU 和記憶體之間的數據傳輸更加快速和穩定。主動式中介層則可以整合電源管理和訊號處理功能，提高 GPU 的性能和能效。

3. 人工智慧(AI)

在人工智慧領域，中介層技術被廣泛應用於加速器和處理器的整合。被動式中介層可以實現多個 AI 加速器和記憶體晶片的高密度互連，提高系統的計算能

力和數據處理速度。主動式中介層則能夠整合更多的功能電路，如神經網路處理單元(NPU)，進一步提升 AI 系統的性能和效率。

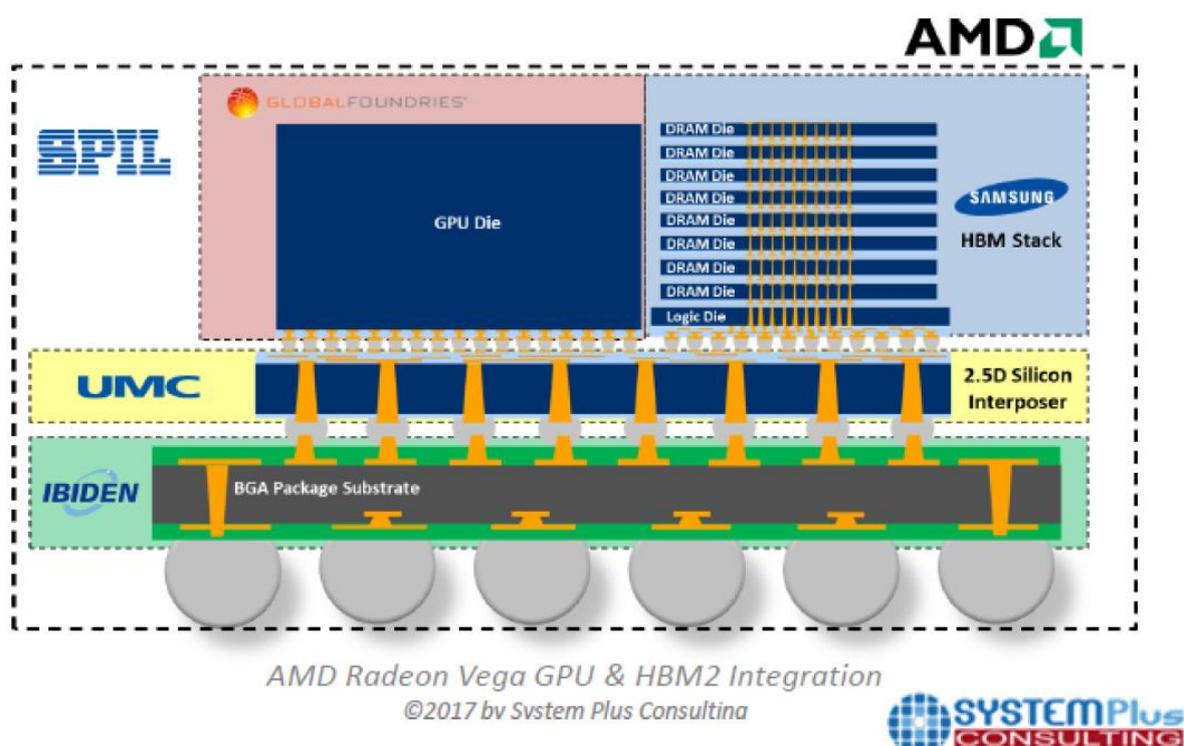
4. 自動駕駛

在自動駕駛領域，中介層技術被用於實現傳感器和處理器的緊密整合。被動式中介層能夠提供高密度的互連和良好的散熱管理，確保系統的穩定性和性能。主動式中介層則可以整合訊號處理和電源管理功能，提高自動駕駛系統的反應速度和可靠性。

5. 物聯網(IoT)

在物聯網領域，中介層技術被廣泛應用於實現多功能感測器和處理器的整合。被動式中介層可以提供高密度的互連，使得多個感測器和處理器之間的數據傳輸更加快速和穩定。主動式中介層則可以整合訊號處理和電源管理功能，提高物聯網設備的性能和能效。

這些應用的驅動之下，已連動全球上中下游產業的分工，下圖 4.16 以 AMD Radeon Vega GPU & HBM2 的異質整合封裝產品為例，其帶動的產業分工包含由日本提供晶片載板、臺灣則負責中介層及封測、GPU 及高頻寬記憶體則由美國與韓國生產製造。



資料來源：AMD

圖 4.16、中介層技術所帶動的全球產業分工範例

(三) 中介層技術的製造工藝

中介層的材料選擇是製造工藝中的關鍵環節。常用的材料包括矽、玻璃和有機物。選擇材料時需要考慮其機械強度、熱導率和介電常數等特性：

1. 矽：矽具有高熱導率和良好的機械強度，是目前最常用的中介層材料。然而，其介電常數較高，可能會影響訊號傳輸性能。
2. 玻璃：玻璃具有低介電常數和高熱穩定性，適合於高頻應用。然而，其機械強度相對較低，需要額外的結構強化。
3. 有機物：有機材料具有低成本和高可製造性，但其熱導率和機械強度較低，適合於低成本、大批量生產的應用。

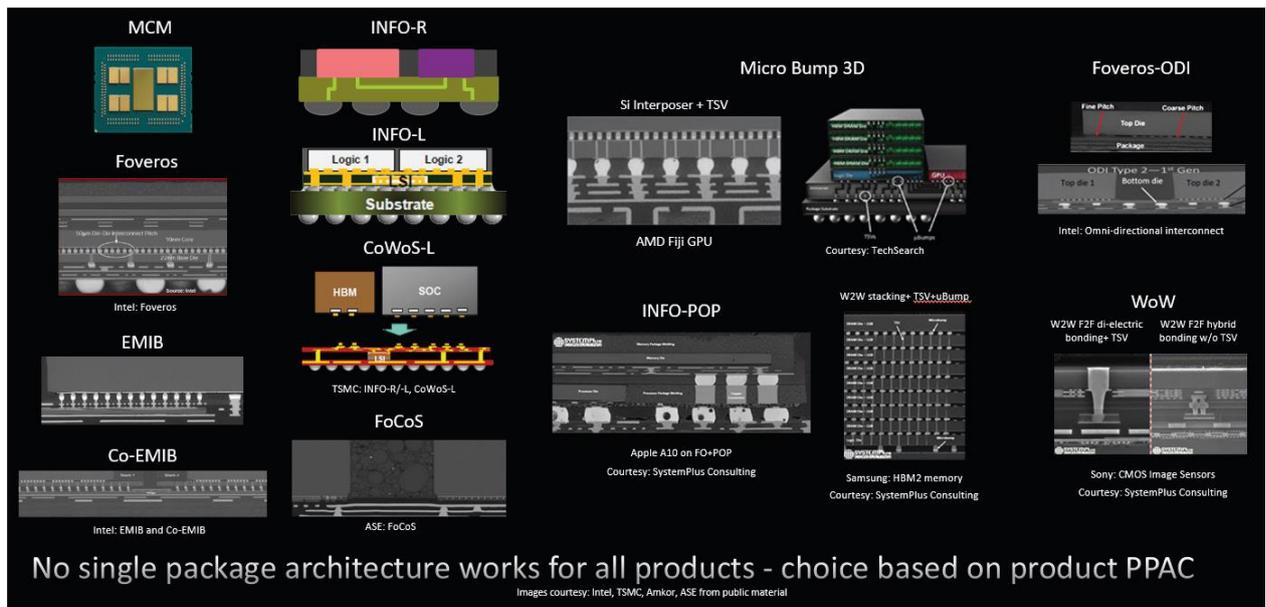
中介層的製造工藝步驟包括材料選擇、圖案化、蝕刻和金屬化：

1. 材料選擇：根據應用需求選擇合適的材料，如矽、玻璃或有機物。
2. 圖案化：使用光刻技術在材料表面形成所需的電路圖案。
3. 蝕刻：透過蝕刻技術去除不需要的材料，形成電路結構。
4. 金屬化：透過沉積金屬層形成互連，確保電路的導電性。

中介層技術需要與先進的封裝技術結合，以實現多晶片的高效整合：

1. 晶圓級封裝：在晶圓級進行封裝，能夠實現更高的整合度和更低的成本。
2. 系統級封裝：將多個功能晶片整合在一個封裝內，提高系統的性能和功能。
3. 三維封裝：透過垂直堆疊晶片提高整合度和性能，適合於高效能運算和存儲應用。

上述中介層技術的製造工藝體現在各類異質整合封裝的技術中，此異質整合封裝技術主要是以 PPAC(Power, Performance, Area, Cost)作為產品的設計訴求，因此衍生了各類封裝設計的結構如下圖 4.17 所示。



資料來源：Swaminathan R. (2022)

圖 4.17、封裝結構上的變化

此封裝結構上的變化產品含跨了晶片設計/製造及封裝設計/製造產業，其中中介層的角色由有機基板(Multi-chip Module, MCM 封裝結構)、嵌入式多晶片互聯橋接(Embedded Multi-die Interconnect Bridge, EMIB 封裝結構)、矽中介層(Silicon Interposer 封裝結構)、到晶圓對晶圓(Wafer to Wafer, W2W 封裝結構)技術等，這一路的封裝結構變化對準的產品類別包含邊緣端到雲端應用範圍。

(四)被動式中介層技術的優勢與挑戰

被動式中介層的優勢：

1. 高密度互連：被動式中介層可以實現非常高密度的互連，適合於需要大量互連的高效能運算和記憶體應用。
2. 良好的熱管理：由於被動式中介層通常由高熱導率材料製成，它們能夠有效地散熱，保證系統的穩定性和性能。
3. 成本相對較低：被動式中介層的製造工藝相對簡單，因此成本較低，適合大規模生產和應用。

被動式中介層的挑戰：

1. 材料選擇的限制：被動式中介層的材料選擇需要考慮多種因素，如熱導率、機械強度和介電常數等，這限制了材料的選擇範圍。
2. 製造工藝的複雜性：儘管被動式中介層的製造工藝相對簡單，但高密度互連和精密圖案化仍然需要高精度的製造設備和工藝。
3. 訊號完整性問題：隨著互連密度的增加，訊號傳輸的完整性和速度成為一個挑戰，需要特殊的設計和製造工藝來解決這些問題。

(五)主動式中介層技術的優勢與挑戰

主動式中介層的優勢：

1. 多功能整合：主動式中介層可以整合多種功能電路，如放大器、濾波器和電源管理電路，增強系統的性能和靈活性。
2. 高效能：由於主動式中介層可以進行訊號處理和優化，它們能夠顯著提高系統的性能，特別是在高頻應用中。
3. 設計靈活性：主動式中介層提供了更大的設計靈活性，使工程師可以根據具體需求進行定制化設計。

主動式中介層的挑戰：

1. 製造成本高：主動式中介層的製造成本相對較高，這是由於其複雜的製造工藝和多功能整合所致。
2. 工藝複雜：主動式中介層的製造工藝涉及多種先進技術，如半導體製造工藝、晶圓級封裝技術和高精度的互連技術等，這使得其製造過程非常複雜。
3. 散熱問題：由於主動式中介層整合了更多的功能電路，其功耗較高，散熱問題成為一個重要挑戰，需要特殊的散熱設計來解決這些問題。

(六)中介層技術在改變摩爾定律中的作用

1. 提高整合度：中介層技術透過將多個晶片整合在一個封裝內，打破了單個晶片面積的限制，大幅提升系統的整體整合度。這意味著即使單個晶片的電晶體密度不再大幅增加，系統的總計算能力仍然可以快速提升。
2. 提升性能：中介層技術透過縮短晶片間的訊號傳輸路徑，顯著降低了延遲和功耗，提高了系統性能。特別是在高效能運算和人工智慧等需要大量數據處理和快速通訊的應用中，中介層能夠顯著提升計算效率和數據帶寬，彌補單個晶片性能提升放緩帶來的影響。
3. 改進散熱管理：隨著電晶體密度增加，散熱問題成為限制晶片性能的一個重要因素。中介層技術允許更靈活的晶片佈局和更有效的散熱方案。透過優化晶片堆疊結構，可以更高效地管理熱量，避免過熱對性能和壽命的影響。
4. 降低成本：雖然先進的製造工藝節點成本高昂，但中介層技術可以利用較成熟的工藝製造不同功能的晶片，然後透過中介層整合。這不僅降低了研發和生產成本，還能提高產量和良率，從而在經濟上更具可行性。

(七) 中介層技術的未來發展方向

1. 材料和技術創新：未來，隨著材料科學和製造技術的進步，中介層技術將進一步發展。新材料的應用，如高熱導率材料和低介電常數材料，將顯著提升中介層的性能和可靠性。
2. 標準化和兼容性：隨著中介層技術的廣泛應用，標準化和兼容性問題將變得越來越重要。制定統一的技術標準和規範，將有助於促進不同廠商間的技術兼容和協同發展，推動整個行業的進步。
3. 智慧化設計：隨著人工智慧技術的發展，中介層設計過程將變得更加智慧化。透過使用機器學習和人工智慧技術，工程師可以更加精確地進行設計優化，提高設計效率和產品性能。
4. 生態系的構建：中介層技術的發展需要一個健康的生態系，包括材料供應商、設備製造商、設計公司和終端應用廠商等。透過構建良好的生態系，將有助於推動中介層技術的持續發展和廣泛應用。

中介層技術作為一種新興的半導體封裝技術，具有顯著提高系統整合度和性能的潛力。被動式和主動式中介層各具優勢，適用於不同的應用場景。在摩爾定律面臨挑戰的今天，中介層技術為半導體行業提供了一條新的發展道路。隨著技術的不斷進步和應用的深入，中介層技術有望成為推動未來半導體技術發展的重要力量，改變摩爾定律的發展軌跡，為高效能運算、人工智慧、自動駕駛等領域帶來更多的創新和突破。

五、小結

小晶片互連是半導體產業中引領潮流的技術，吸引了國際大廠如 Google、Intel、Meta、微軟、AMD、高通、三星，以及臺灣的台積電和日月光投入發展。這些廠商共同訂立 Chiplet 介面的標準，形成基礎架構，使各種 Multi-Die 系統能夠互連。然而，國內在支援 Multi-Die 系統的高速介面傳輸電路及記憶運算一體化架構相關矽智財開發方面仍屈指可數，因為這是一個新興領域，許多 IC 設計公司仍在觀望。為了不落後於國外大廠，建議產官學需要投入支援 Multi-Die 系統的高速介面傳輸及記憶運算一體化電路相關的矽智財開發，協助國內廠商降低晶片設計開發成本、縮短研發時程，並快速導入市場，以維持我國 IC 設計產業的領先地位。

參考文獻

1. H. Park et al., "Design Flow for Active Interposer-Based 2.5-D ICs and Study of RISC-V Architecture With Secure NoC," in IEEE Transactions on Components, Packaging and Manufacturing Technology, vol. 10, no. 12, pp. 2047-2060, Dec. 2020
2. C. C. Lee et al., "An Overview of the Development of a GPU with Integrated HBM on Silicon Interposer," 2016 IEEE 66th Electronic Components and Technology Conference (ECTC), Las Vegas, NV, USA, 2016.
3. P. Vivet et al., "IntAct: A 96-Core Processor With Six Chiplets 3D-Stacked on an Active Interposer With Distributed Interconnects and Integrated Power Management," in IEEE Journal of Solid-State Circuits, vol. 56, no. 1, pp. 79-97, Jan. 2021.
4. Swaminathan R., "The next frontier: enabling Moore's law using heterogeneous integration," Chip Scale Rev. 2022;26(3):11-22.

第五章 我國異質整合產業競爭力分析與發展策略

臺灣作為全球半導體異質整合技術的關鍵成員，IC 產業在國際間居於領先態勢，晶圓代工及 IC 封測產值均為全球第一，IC 設計則位居全球第二。隨著國際競爭的加劇與產業模式的轉變，臺灣的 IC 產業在穩固現有基礎的同時，積極拓展異質整合技術的合作與創新。IC 設計業者正在將焦點從傳統的消費型與通訊產品逐步轉向人工智慧、車用及物聯網等多元應用，藉此提升產品的附加價值；IC 製造業則持續投入先進製程的研發與擴增產能，以在全球國際市場競爭中保持優勢；IC 封測業更專注於發展異質整合所需的高階封測技術，進一步鞏固臺灣在全球半導體產業中不可或缺的地位。

儘管 2023 年因供應鏈庫存調整及通貨膨脹等因素，臺灣 IC 產業各領域出現劇烈衰退，然而隨著 AI 的崛起與市場需求的回升，2024 年臺灣半導體產業預計將在高階應用的推動下恢復成長，產值有望突破新臺幣 5 兆元，異質整合也將持續作為半導體技術發展方向的指南針。以下將探討我國異質整合技術的產業環境、政策、學研發展及競爭態勢，並運用分析模型評估我國的優勢與挑戰，進而提出具體策略，強化在該領域的競爭力。

一、我國異質整合技術發展之外部環境因素探討

本研究針對外部環境進行觀測，分別就為政治(Political)、經濟(Economic)、環境(Ecological)、社會(Social)、科技(Technological)面向（請參閱表 5.1），提出未來將影響我國半導體異質整合發展的外部環境因素，並剖析其為我國半導體業帶來的挑戰與機遇。

表 5.1、我國半導體異質整合 PEEST 外部環境因素分析總覽

PEEST 因子	驅動因素	影響力
P 政治	全球政治格局影響下，各國推動本地化晶片生產。	逆全球化趨勢可能削弱臺灣在全球晶片市場中的地位。
E 經濟	經濟不確定性、通貨膨脹導致建廠成本增加。	半導體市場需求復甦，但短期內仍面臨成本壓力和高庫存。
E 環境	全球減碳目標推動企業綠色轉型。	碳費徵收和環保法規將增加企業生產成本，迫使技術升級。
S 社會	汽車電動化需求推動技術研發。工作型態轉變，遠距工作增加。	勞動力短缺促使工廠自動化和高效能技術的應用擴展。
T 科技	AI 和邊緣運算推動高效能晶片需求。	研發成本高昂，需透過技術合作降低成本並加速創新。

資料來源：工研院產科國際所 (2024)

(一)政治因素(Political)

全球政治格局對半導體產業的影響愈發深遠，在中美技術競爭、地緣政治風險下，美國、日本、荷蘭等國家由美國的主導，對中國實施嚴格的半導體技術出口限制，延緩中國半導體技術的進展，也為全球供應鏈帶來變化，中美之間的競爭可能迫使臺灣企業重新評估其技術研發方向和市場策略，以確保在不穩定的國際環境中生存和發展。另一方面，臺灣未來的政策也將著重於強化半導體產業的國家級戰略，並推動 AI 產業化，致力於在國際上鞏固其在 IC 設計和製造領域的領導地位。

全球政治動態使得半導體產業的競爭更加激烈，包含美國《晶片與科學法案》、日本《半導體與數位產業戰略》以及歐盟的《歐盟晶片法案》，透過補貼和稅務優惠吸引企業在本地投資設廠，以促進當地生產能力的擴大。逆全球化的趨勢可能對臺灣等主要半導體出口國構成挑戰，而全球供應鏈的地緣政治風險日漸升高，臺灣需要在維持現有市場占有率的同時，積極應對可能來自其他國家增加本土生產的競爭壓力。

在全球產能重新分布的過程中，封測產業的角色也發生重要轉變。過去，封測廠商主要關注生產效率和毛利率的提升，但隨著地緣政治風險上升，企業逐漸將焦點轉向生產韌性和區域服務能力。隨著美、日、歐等各國政策鼓勵本土半導體製造，臺灣的封測廠商也開始重新考量其產能配置，評估跟隨半導體製造商的步伐在海外市場設立更多生產據點，為當地客戶提供更即時的支持和服務的可能性，進一步擴大其市場影響力。

而在傳統全球供應鏈思維受挑戰下，各國和半導體業者開始重新評估產能的分散配置。過往追求比較利益導向的專業分工逐漸式微，取而代之的是對區域製造產能的重視。而位於晶片生產最後一段的封測環節，亦將逐步從單純追求生產效率與毛利率至上，轉向確保生產韌性與就近服務客戶。隨著歐美日等國半導體政策促使半導體製造公司在當地設廠投資，將加速封測廠商考慮追隨製造商之腳步在海外設立更多生產設施來擴展其市場影響力和產能，以即時回應當地市場與客戶需求。

另外，在全球地緣政治局勢日益嚴峻的背景下，許多國際終端廠商加速供應鏈去中化進程，要求其供應商大幅減少在中國大陸生產的比重，加上在中國大陸產業自主化政策下，促使不少臺灣封測企業逐步撤出中國市場，將資源轉向臺灣或其他地區，以提升供應鏈的安全性與韌性。這種轉變也顯示出封測產業正由過去的「西進中國」策略，轉向臺灣本地或海外設立高階產能的方向，以分散風險並開拓新的市場機會。

(二)經濟因素(Economic)

全球總體經濟的不確定性對半導體產業造成直接衝擊。通貨膨脹導致晶片廠

建設成本大幅增加，例如，南韓 Samsung 在美國德州的晶片廠建設成本比最初預估高出 80 億美元，成本上升的高幅度使得許多企業在進行擴張和投資決策時更加謹慎。儘管如此，全球經濟在 2024 年復甦前景逐漸明朗，半導體市場的需求也預計會回升，預計在高效能運算和 AI 應用領域，將推動晶片技術的進一步發展，市場對先進製程技術的需求亦有望回升。

然而，全球經濟低迷對半導體市場的短期影響依然存在，需求疲軟和高庫存水位可能削弱市場的成長動能。同時，建廠成本增加也使得企業在資金籌措上面臨更大的挑戰。這要求企業必須在經濟環境中尋找新的成長機遇，如進一步拓展異質整合技術的應用層面，形成技術差異化以提高產品及服務之附加價值。

(三)環境因素(Ecological)

全球對於環境保護的重視程度日益升高，半導體產業也面臨越來越嚴格的環保法規要求。許多國家和地區已經開始推行減碳措施。例如美國紐約州推行的「綠色晶片法案」，透過稅收抵減和其他經濟激勵措施，鼓勵企業進行綠色改造，又如臺灣計畫在 2025 年開徵碳費，將直接影響半導體企業的生產成本。此外，全球半導體氣候聯盟的成立以及行業內的淨零碳排目標，迫使企業加快研發低碳材料和高效能能源轉換技術，以應對未來更為嚴苛的環保要求。

半導體業作為能源密集型產業，實現綠色轉型已經成為必須面對的挑戰。企業需要在供應鏈各個環節進行環保升級，從原材料的採購到生產過程中的能源管理，再到廢棄物的處理和產品的生命周期管理，鎖定碳排放熱點並採取減排行動，如採用高效能設備、優化製程工藝、使用可再生能源等，來降低能源消耗和生產成本，更提升其在國際市場上的競爭力。

(四)社會因素(Social)

社會需求的變化牽引著半導體產業的技術研發方向。電動車的普及，增加全球對於車用半導體的需求。電動化已成為當今汽車產業的主流趨勢，從車載娛樂系統到智慧駕駛輔助系統，再到車聯網應用，都需要大量高效的晶片來支撐，導致氮化鎵(GaN)與碳化矽(SiC)等化合物半導體材料的需求不斷增加，其在高頻、高功率和高效率應用中的優勢，成為電動車等高端應用的理想選擇。

同時，社會結構的變化，如少子化和高齡化，也全球半導體產業的人才供應產生影響。同時，隨著數位化和遠距工作的普及，工作型態正在發生顯著轉變。越來越多的企業開始採用遠距辦公和靈活工時制度，以適應新一代員工對工作與生活平衡的需求。此轉變要求企業重新思考管理方式和人才培養模式，並在技術和組織結構上進行調整，以提高工作效率和員工滿意度。此外，隨著自動化技術和 AI 技術的廣泛應用，對於高技能人才的需求變得更加迫切。半導體企業需要加強技術培訓和員工技能提升計劃，以確保員工能夠掌握新技術，並適應自動化生產線和智慧工廠的需求。

(五)科技因素(Technological)

科技創新是半導體產業的核心驅動力。人工智慧和邊緣運算的快速發展，推升對高效能晶片的需求，其需要具備更高的運算能力和能效，以支援如 AI 伺服器和高速度網路等應用。小晶片技術透過將不同功能的晶片模組化，並在封裝階段進行異質整合，既能提高設計靈活性，又能提升產品良率，逐漸成為高效能晶片的主要設計手段。各大科技公司，如 Nvidia、AMD 和 Intel 等，已經開始推出基於小晶片技術的新型高效能晶片，為異質整合技術提供新的應用場景和發展方向，並促進半導體產業的技術升級。

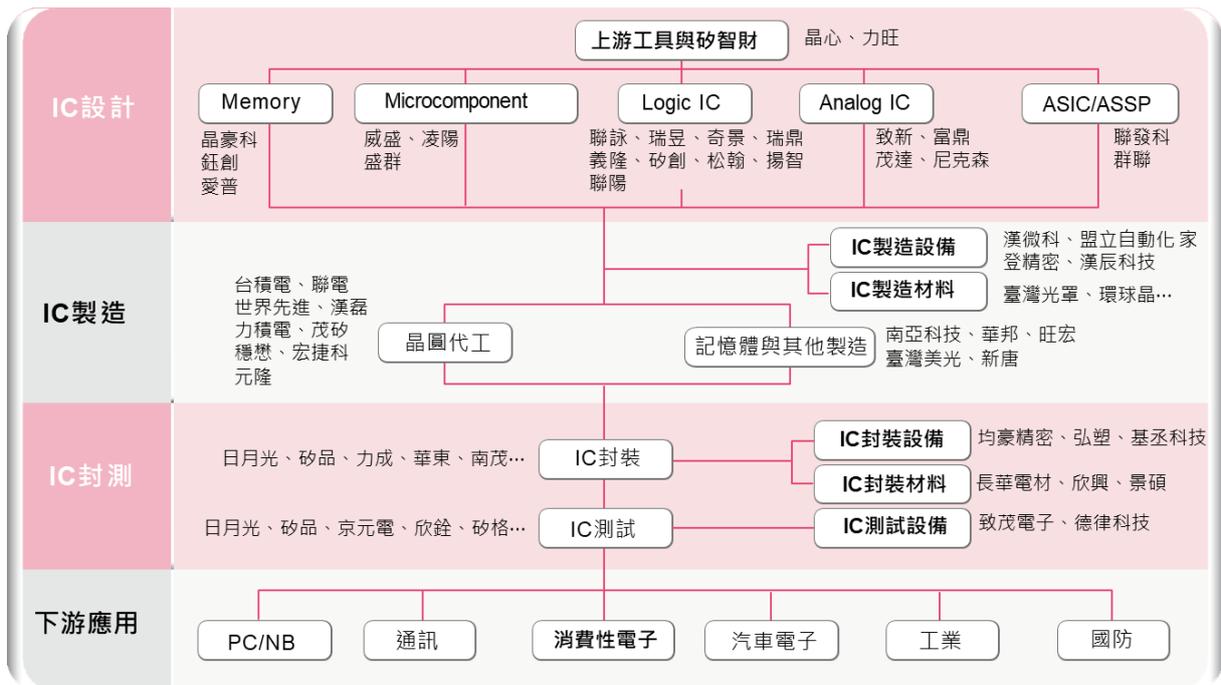
然而，AI 技術的發展也帶來高昂的研發成本和資安風險。例如，先進半導體製程的研發投入巨大，企業必須透過技術合作來分擔風險並降低成本。同時，隨著 AI 技術在晶片設計和製造中的應用，數據安全和隱私保護成為不可忽視的問題。半導體企業需要在追求技術創新的同時，採取有效措施保障數據安全，從而在激烈的市場競爭中站穩腳步。

二、我國相關產業鏈現況、政策研析及學研發展方向

半導體產業是國家科技與經濟實力的重要象徵，而異質整合技術更是未來技術創新的關鍵領域，我國政府積極推展多項政策，支持產業技術創新與升級，確保我國在全球半導體市場中的競爭優勢。本節將盤點我國半導體產業鏈現況，分析異質整合技術相關的政府政策及學研布局方向，以掌握我國在全球半導體產業中的定位。

(一)產業鏈現況分析

臺灣的半導體產業自 1976 年引進美國 RCA 的 CMOS 技術以來，經過 40 多年的發展，已經成為全球半導體市場中的重要力量。初期，臺灣政府透過一系列發展計畫積極支持半導體產業的建立，以推動技術的引進與本地化，並成功培育出一批具國際競爭力的產業領袖人才。隨著政府支持力度的加大和本地企業的崛起，臺灣半導體產業逐步建立起垂直分工的產業結構，如下圖 5.1 所示，其包含上游的 IC 設計、中游的 IC 製造，以及下游的 IC 封裝與測試，涵蓋從材料供應到終端應用的整個產業鏈，形成高度整合的半導體生態系統。



資料來源：工研院產科國際所 (2024)

圖 5.1、我國 IC 產業地圖

2023 年，臺灣 IC 產業（僅含 IC 設計、IC 製造、IC 封測）總產值達新臺幣 4.3 兆元，附加價值率達 60.1%，顯示臺灣在高科技製造中的卓越能力，並提供超過 31 萬個就業機會，成為國家經濟的重要支柱。2024 年，AI 帶動資料中心、終端裝置市場成長，提升相關半導體硬體備貨需求，加上記憶體市場復甦，皆驅使臺系指標性大廠持續上修資本支出，積極建置晶片產能。預估臺灣半導體產業將回復強勁的獲利態勢，2024 全年 IC 產值將突破新臺幣 5 兆元。

1. IC 設計

IC 設計產業指專門從事積體電路設計而不跨足 IC 製造，而提供 IC 設計所需上游工具、矽智財與以受委託協助其它企業設計晶片之設計服務也包含在內。

全球超過 90% 的 IC 設計市場由美國、臺灣和中國掌控。其中，臺灣在 2023 年於全球 IC 設計產業的市佔率為 19.3%，共有 256 家廠商，依產品分類則包含記憶體 IC、微元件、邏輯 IC 和類比 IC 等四大類。臺灣 IC 設計業者中，主要產品為邏輯 IC，2023 年邏輯 IC 的營收比重達 78.4%。若從產品應用角度切入，可再細分為特殊應用 IC(ASIC)/特定應用標準產品(ASSP)，而臺灣廠商的主力產品為 ASSP，2023 年 ASSP 產品的佔比為 79.6%。

在生成式 AI 應用的快速發展下，雲端運算能力的限制導致許多雲端服務供應商紛紛自行研發專屬的 AI 特殊應用晶片(ASIC)，世芯、創意等設計服務業者因而從中獲益。與此同時，隨著電動車的發展趨勢，聯發科、瑞昱等企業也積極投入車用晶片市場的研究開發，其中聯發科更是與 NVIDIA 合作，共同開發車用晶片產品。

2. IC 製造

臺灣在 IC 製造晶圓代工的全球市場中占有舉足輕重的地位。全球 IC 製造產業主要分為晶圓代工與整合元件製造(IDM)兩大類，前者由臺灣、南韓和中國三國主導，三者共同佔據全球近九成市場份額。2023 年臺灣在全球晶圓代工市場的市佔率達 64.7%，穩居全球首位；而 IDM 市場則主要由美國、南韓、歐洲和日本等地的公司主導，臺灣的市佔僅約 1.6%。

目前臺灣擁有 15 家總部位於本地的 IC 製造企業，晶圓代工業務主要承接上游 IC 設計公司委託的製造需求，擁有全球領先的技術實力和產能規模。臺灣的記憶體製造業雖規模相對較小，但其生產內容多樣化，涵蓋 DRAM、Flash、ROM 等利基型記憶體產品，以滿足各類特定市場需求。

2023 年，受益於人工智慧和智慧型手機市場需求的拉動，臺灣晶圓代工技術在 3 奈米和 5 奈米製程上的產量顯著提升。此外，記憶體與其他製造產業也因應具 AI 功能的智慧邊緣運算裝置相繼問世，預期記憶體搭載容量與換機需求將上升，進而帶動市場對記憶體的需求。

3. IC 封測

臺灣在 IC 封裝及測試領域同樣表現出色，2023 年共有 36 家本地業者，市佔率達全球封測代工市場的 50.4%，穩居全球首位，並為上游 Fabless 設計公司及 IDM/Foundry 廠商提供封裝和測試服務，以日月光控股、力成、京元電及南茂等為領導業者。

臺灣封測廠商提供 QFN、Leadframe、FC-CSP、FCBGA 等封裝技術代工服務，且第一大廠日月光具備 Fan-Out 和 2.5D IC 等高階封裝生產能力，短期內領先地位難以撼動。主要業者集中於新竹和高雄，且逐步將部分中國業務轉回竹科和南科，以因應 AI 伺服器、智慧型手機等高運算需求成長，強化本地產能。

隨著市場對 AI 和高速運算需求增長，臺灣封測產業正大幅增加資本投入，專注於晶片異質整合及高階封裝技術，進一步穩固其全球競爭力。

4. 半導體材料

臺灣在全球半導體材料上佔約 28%至 30%之產值規模。其中以矽晶圓、光罩、部分光阻以及化學液為主。在矽晶圓領域中，臺灣由環球晶圓領軍，目前已為全球第三大供應商，表現優異。在光阻液方面，崇越科技為日本信越化學的代理商，其市場評價極高，主力產品為 IC 製程光阻液，目前在臺灣市佔率超過 50%。儘管代理產品的毛利率較低，但崇越科技在該領域已成為臺灣不可或缺的重要角色。然而，臺灣半導體在成熟製程或高附加價值的材料方面，如特殊製程氣體、金屬靶材、高階製程用光阻液及化學機械研磨液等，仍高度依賴進口。目前臺灣材料產業對於進口的依存度較高，未來仍有相當大的自主空間。

5. 半導體設備

臺灣的半導體設備產業自後段製程起步，故在後段製程領域聚集較多設備商。當前，臺灣的半導體設備業者以傳統封裝設備、模組及零組件製造為主，在先進設備方面仍以進口國際領導廠商產品為主，市場呈現高度集中。然而，隨著近年技術實力提升，臺灣廠商逐漸拓展至先進製程領域，典型例子包括志聖和均豪，其透過 G2C 聯盟整合資源，提供 IC 載板、先進封裝和 HBM 等一站式半導體設備服務，目前為台積電先進封裝的重要供應商。隨著 AI 應用熱潮推動先進封裝技術發展，臺灣半導體設備產業的市場潛力預期將持續提升，有望在技術層面上超越現有標準。請參閱下表 5.2。

表 5.2、我國半導體後段製程設備關鍵廠商

設備項目	關鍵廠商
測試取放設備	致茂、德律
晶片封裝切割	博磊、禾宇
黏晶與覆晶設備	均豪、均華、聚昌、旺矽
烘烤迴焊	群翔、台技
封膠設備	均豪
點膠設備	萬潤、均豪
封裝與基板檢查設備	由田、牧德、均豪、詳維、鐸友益、致茂、精測、政美

資料來源：工研院產科國際所 (2024)

(二)政府政策研析

1. 晶創臺灣方案—奠基臺灣未來 10 年科技國力

晶片產業已經成為當前驅動全球科技發展的核心力量，基於近年生成式人工智慧的快速崛起，更是被視為未來二十年中最具顛覆性的科技之一。生成式 AI 將會影響全球政治、經濟、社會與日常生活的各個層面，並引領新一波的工業革命。在此背景下，臺灣政府提出「晶片驅動臺灣產業創新方案」(簡稱「晶創臺灣方案」)，在利用臺灣在半導體晶片製造與封測領域的全球領先地位，結合生成式 AI 等關鍵技術，推動全產業的創新與突破，以迎接未來科技變革所帶來的機遇與挑戰。

如表 5.3 所示，晶創臺灣方案規劃四大布局策略，重點推動我國 IC 設計業者投入「具國際領先地位」之晶片及系統研發，藉以提升先進晶片設計能力、並加速異質整合設計及介面，以推動臺灣成為 IC 設計領導國家。目前政府規畫在 113 年至 122 年間投入 3,000 億元經費，首期計劃已於 113 年啟動，為期五年。

然而，該計畫執行並非僅依賴稅務減免，政府更強調藉由補助來支持國內 IC 設計產業的研發和技術提升，推出「IC 設計攻頂補助計畫」與「驅動國內 IC 設計業者先進發展補助計畫」，其目標為支持臺灣 IC 設計產業在 7 奈米以下的先進製程以及 16 奈米以下晶片應用方面的技術突破，從而與國際大廠展開競爭。目

前，已有約 70 家企業提交相關申請，顯示出臺灣企業對此計畫的高度關注與期待。

此外，臺灣政府也在科技預算上大幅增加投入，以支援半導體與 AI 技術的發展。2025 年度的政府科技預算規劃達新台幣 1596 億元，創下歷史新高，其中包含約 200 億元專項用於「晶創臺灣計畫」，高於 2024 年的新台幣 120 億元。與此同時，晶創計畫目前亦正在修正中，未來將把晶片與 AI 應用產業，特別是中小企業，納入計畫範疇。產業發展需要兼顧平衡，因此在推動晶片產業與 AI 應用的同時，將持續推廣半導體異質整合技術在中小企業中的應用，確保各類企業均能受惠於政府的科技發展政策與補貼。

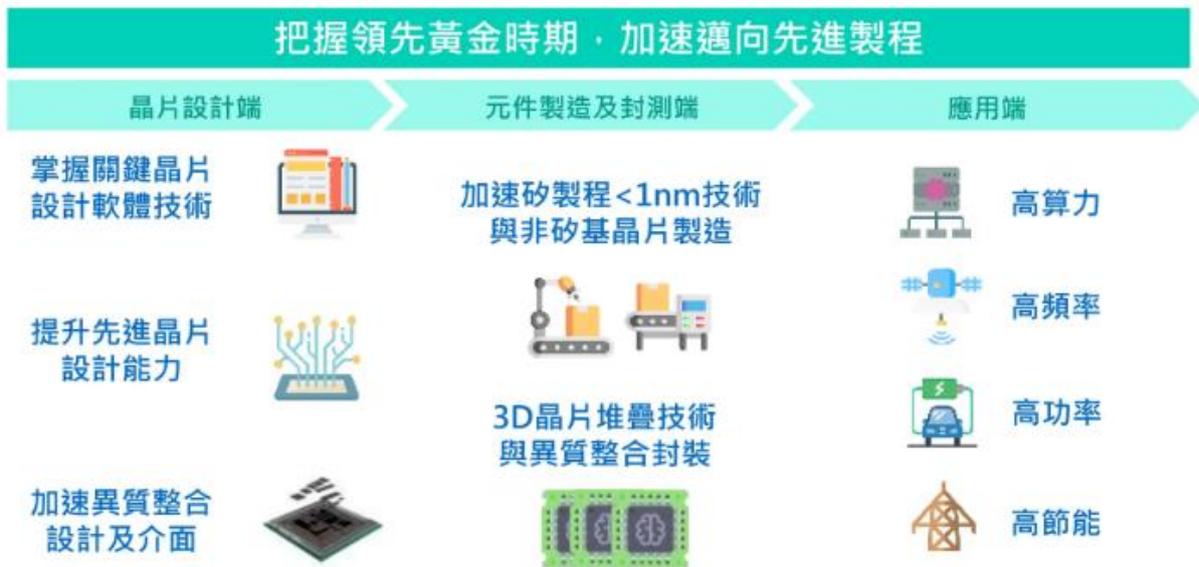
表 5.3、晶創臺灣方案四大布局策略

策略項目	策略內容
結合生成式 AI+晶片帶動全產業創新	結合人文社會科學，以民生終端應用為標的，用各產業領域知識、生成式 AI 為驅動力，帶動食、醫、住、行、育、樂、工業各產業發展。另以突破式產業創新推動機制，鼓勵國內外有創意、有想法的公司或學研機構，利用晶片與生成式 AI 技術，發展應用在各行各業的創新解決方案。
強化國內培育環境吸納全球研發人才	升級學研基礎設施與教材，讓臺灣成為全球頂尖晶片設計訓練基地，培育 IC 設計人才。另將設置海外基地，並組成「晶創特聘專家團」，透過產學研合作、赴海外招募等方式，網羅國際 IC 設計人才來臺，加強國際攬才。
加速產業創新所需異質整合及先進技術	掌握 IC 設計工具的生態系與關鍵技術自主，提升先進晶片設計能力，並加快異質整合設計及介面，以加速邁向先進製程、IC 設計領先技術突破。
利用矽島實力吸引國際新創與投資來臺	鏈結國際晶片新創與資金、引導民間資金擴散晶片新創應用，以全球最完整的半導體產業生態、快速支援創意實踐，吸引 IC 新創來臺；以全球最大 IC 新創聚落品牌，成為國際投資機構投資 IC 新創最佳選擇。

資料來源：行政院 (2023/11)

在晶創臺灣方案四大布局策略中，「加速產業創新所需異質整合及先進技術」為推動臺灣異質整合技術的關鍵。具體而言，由圖 5.2 可見該策略聚焦於三大核心環節：晶片設計端、元件製造及封測端、及應用端。在晶片設計端，將協助掌握關鍵晶片設計軟體技術，並提升先進晶片的設計能力，並將加速異質整合設計的研究和推廣，以確保臺灣在設計創新方面保持全球領先地位；元件製造及封測

端則專注於加速製程技術的開發，特別是小於 1 奈米的製程技術與非矽基晶片的製造，並推動 3D 晶片堆疊技術及異質整合封裝；應用端則重點開發支持高算力、高頻率、高功率及高節能等特性的晶片應用領域，如 AI、高效能運算、車用電子與通訊技術等。為了支持上述技術的發展，2024 年政府特別投入資源於 IC 設計工具的關鍵技術自主研發，提升臺灣在先進晶片設計方面的能力。此外，規劃中的自動化 IC 設計雲平台將為產學研團隊提供共享矽智財和 IC 設計工具的環境，促進創新合作與技術交流，從而加速異質整合技術的進一步突破。



資料來源：國家科學及技術委員會 (2023/11)

圖 5.2、加速產業創新所需異質整合及先進技術架構

2. 國家核心關鍵技術—加強營業秘密保護

國家核心關鍵技術清單政策的制定，旨在確保臺灣的國家安全與產業競爭優勢，特別針對涉及國家核心關鍵技術的營業秘密進行加強保護，防止技術非法外流至國外而損害國家及產業利益。2023 年 12 月由國科會主導，經行政院公告公告第一波國家核心關鍵技術清單，涵蓋 22 項技術，範圍涉及國防科技、太空、農業、半導體及資通安全五大領域。上述技術的保護和監控將保障國家的技術領先地位，也為產業發展提供安全屏障。

在 22 項技術中，半導體領域的技術備受關注，特別是第 18 項與第 19 項技術項目。第 18 項技術為 14 奈米以下製程的 IC 製造技術及其關鍵氣體、化學品及設備技術。高端晶片製造需具備更高的運算效能和更低的能源消耗，對應的製程技術包含 DUV、EUV 微影技術及先進的 FinFET 和 GAA 製程等。此外，該技術所需的關鍵設備和材料，如氣相沉積、離子佈植設備，以及特定的化學品和氣體，也是維持製程穩定與提升產品品質的關鍵。

第 19 項技術為異質整合封裝技術，包含晶圓級封裝技術和矽光子整合封裝，

透過晶片堆疊、晶片對晶圓等封裝方式，以及 TSV 和混合鍵結等高密度連接，實現高效的晶片整合。矽光子整合封裝技術則能提升高速資料傳輸能力，對於 AI、高效能運算等應用影響關鍵。此外，上述技術所需的特殊材料和專屬設備也是技術成功應用的重要支撐。臺灣在上述領域的領先地位，也得益於此類技術的持續突破與保護。臺灣擁有的這些技術不僅能夠提高產品的性能和效率，還能增強臺灣在全球半導體市場中的競爭優勢。

根據經濟部 and 國科會的說法，上述技術的管制措施同步於國際標準，與美國的技術管制基準一致，反映出臺灣在全球科技競爭中的戰略地位。此外，臺灣的技術管制不僅限於先進製程技術，還包括對關鍵材料、化學品及設備的管控，以確保臺灣的技術優勢不會因外部因素而被削弱。

國家核心關鍵技術清單的公告，彰顯臺灣在國際科技競爭中的自信與實力，並展示出臺灣對技術保護的高度重視。經濟部目前正從投資管理和出口管制等多個面向，研議相關配套措施，並持續與國內各界，特別是業界進行溝通，以在保護國家優勢產業的同時，兼顧產業的健康發展。未來，國科會亦持續滾動檢討技術清單項目，隨著技術發展和國際情勢的變化，不斷調整與優化內容，確保臺灣在快速變遷的科技環境中持續保持競爭力。

(三)學研發展方向

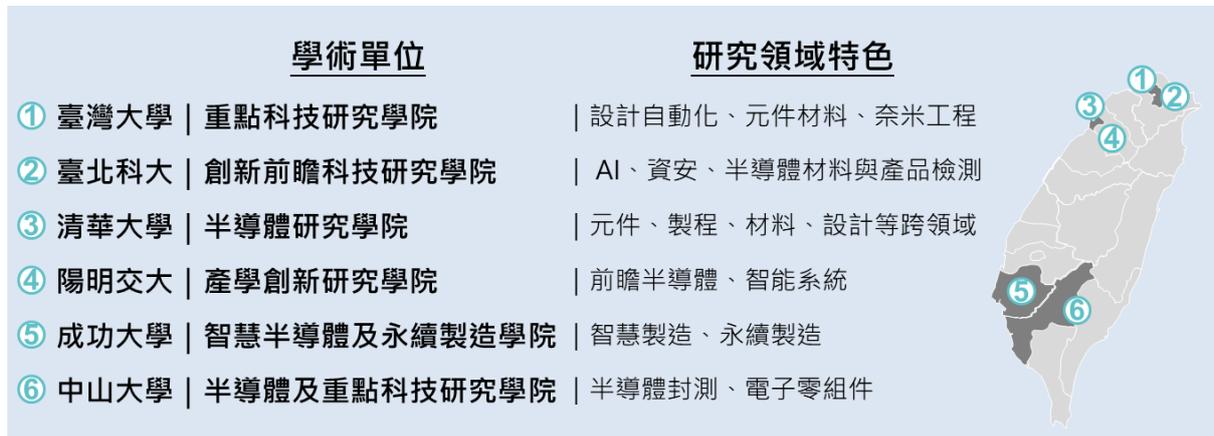
在臺灣半導體產業的發展過程中，高等學研機構、技術孵化、產學合作，以及國際學術合作，均扮演舉足輕重的角色。為了進一步推動異質整合技術的創新與應用，政府和學術界正在透過多方面的努力來加強技術研發和人才培育。

首先，政府推動「產學攜手合作計畫 2.0」，旨在整合技術型高中、技專校院到研究端，從基礎到高端全面提升人才培育質量與效率。同時，政府亦設立「區域產業人才及技術培育基地」，以支持重點產業的人才培養，這些基地專注於培養學士級人才，特別是在半導體和人工智慧等關鍵領域。

此外，技術孵化與產學合作是將學術研究成果轉化為市場應用的重要途徑。政府推動的《國家重點領域產學合作及人才培育創新條例》，為產學合作提供有利的政策支持。國立大學和領先企業得以合作設立研究學院，專注於半導體、人工智慧等關鍵領域的研究與人才培養，並吸引大量企業資金投入，上述合作模式將提高學術研究的應用性，亦促進技術創新和市場的緊密結合。國際學術合作也是臺灣提升技術水平的重要策略之一。

如下圖 5.3 所示，國內多所頂尖大學，如臺灣大學、清華大學、成功大學、陽明交通大學、中山大學等，已經設立專門的半導體研究學院，其根據各自的區位優勢和產業需求，對應著竹科與南部半導體 S 廊帶，形成北南臺灣重要的產學鏈結。半導體研究學院專注於設計自動化、材料研發、矽光子等前沿領域的技術突破，更於 AI、資安和智慧製造等關鍵領域開展深度研究，共同推動半導體技術

的創新與應用。臺灣的高校與科研機構在異質整合技術的研發中發揮重要作用。如下圖所示，國內多所頂尖大學，如臺灣大學、清華大學、成功大學、陽明交通大學、成功大學、中山大學等，已經設立專門的半導體研究學院，分別對應著竹科與南部半導體 S 廊帶，形成北南臺灣重要的產學鏈結，共同推動技術創新。半導體研究學院的成立，將培養更多碩、博士級高階研發人才，同時促進學術研究成果的產業化應用。



資料來源：工研院產科國際所 (2022)

圖 5.3、臺灣六大半導體學院

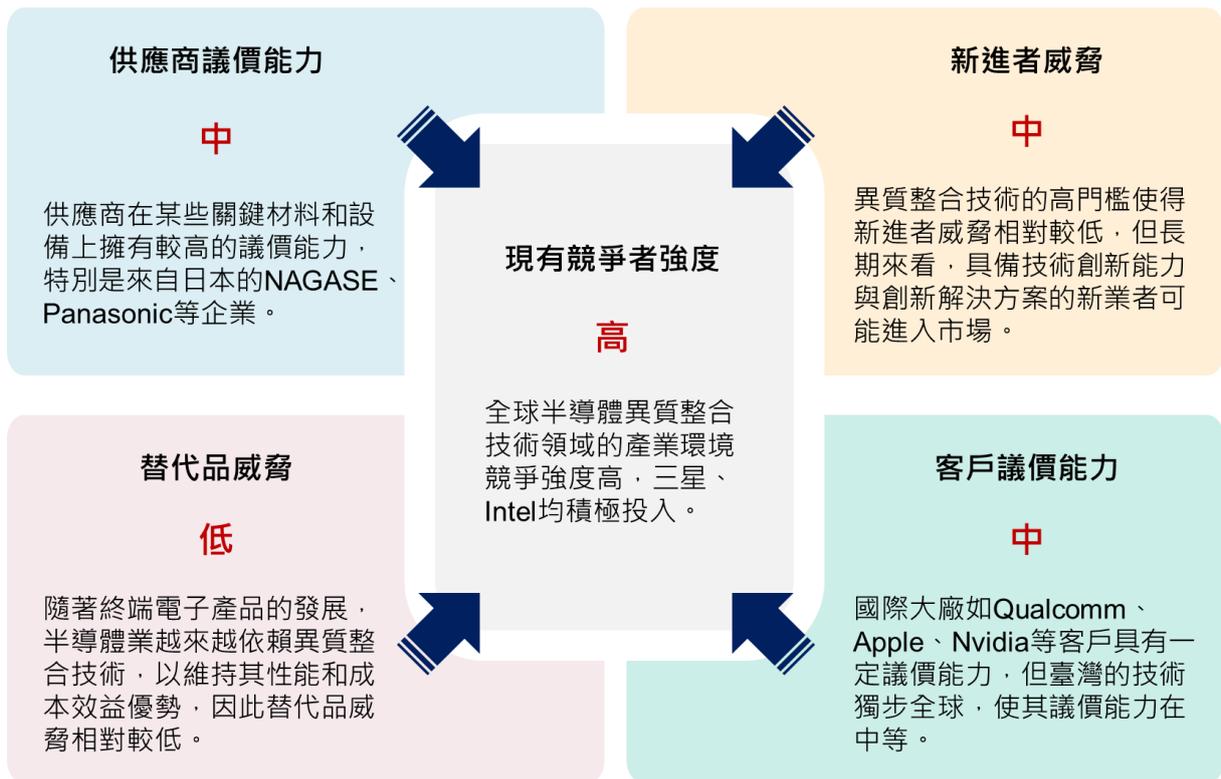
半導體研究學院的成立，肩負著培養碩、博士級高階研發人才的重任，透過與業界在異質整合技術的的密切合作，將學術研究成果迅速轉化為實際應用。異質整合技術涉及晶片堆疊、封裝、矽光子整合等多個關鍵領域，其技術的進步是提升半導體效能和應用範圍的核心動力。各大學研究學院逐步在上述領域取得顯著進展，強化臺灣在異質整合技術上的全球領導地位。藉由上述措施，臺灣在半導體產業鏈中的競爭優勢將得到進一步鞏固與提升。未來，隨著政策的深入推進和學研合作的加強，臺灣在異質整合技術領域的創新能力和產業競爭力將持續強化，為全球市場中的領先地位提供人才及學研知識的支持。

三、我國相關產業競爭態勢分析與市場定位探討

本節將運用波特五力模型，針對現有競爭者、供應商、客戶、新進者威脅及替代品威脅進行詳細探討，分析我國異質整合技術的競爭態勢。同時探討該技術在全球市場中的定位，以揭示臺灣半導體產業如何運用其技術優勢和產業整合能力，鞏固並拓展其在全球市場中的佔有率。

(一) 產業競爭態勢分析

如圖 5.4 波特五力分析模型可見，臺灣在異質整合技術領域擁有強大的現有競爭者和完善的供應鏈，但同時也面臨著來自供應商和潛在新進者的挑戰。隨著技術的進步和市場需求的增加，企業需要不斷創新，以保持競爭優勢。以下將分述不同要素對半導體異質整合技術的影響：



資料來源：工研院產科國際所 (2024)

圖 5.4、臺灣半導體異質整合技術波特五力分析

1. 現有競爭者強度

臺灣在半導體異質整合先進封裝技術領域擁有全球關鍵優勢，台積電和日月光在 Fan-out、2.5D/3D IC 等高階封裝技術上，能顯著提升晶片間的互連性能，並降低電阻和訊號延遲，縮小封裝體積。然而，隨著摩爾定律的放緩，全球各大半導體廠商正積極投入異質整合技術的研究與應用，使得市場競爭愈加激烈。

在國際市場上，Samsung 和 Intel 是臺灣的主要競爭對手。Samsung 在 3D TSV (Through-Silicon Via) 技術上取得重要進展，能有效提升晶片的垂直整合性能，並減少訊號延遲。而英特爾則透過開發 EMIB 和 Foveros 技術，試圖縮小與臺灣在異質整合領域的技術差距。Intel 的 Foveros 技術特別強調晶片堆疊和小晶片整合，為異質整合提供另一種創新路徑。各家廠商不僅在技術研發上投入巨資，也在市場策略上尋求差異化競爭。例如，Samsung 和 Intel 積極與大型資料中心和 AI 應用供應商合作，以鞏固其市場地位。隨著異質整合技術的普及和商業化推進，國際市場的技術競爭將更加白熱化。因此，現有競爭者的競爭強度相當高。

2. 供應商議價能力

在某些關鍵材料和設備上，臺灣半導體產業仍然高度依賴國外供應商。例如，高純度化學品、先進光刻設備（如 EUV 光刻機）主要由荷蘭 ASML 等少數幾家國際廠商供應。此外，先進封裝材料如高效能的封裝樹脂和低介電常數材料也主要由日本的 NAGASE、NAMICS、Resonac 和 Panasonic 等公司所主導。儘管如

此，臺灣擁有完整且靈活的半導體供應鏈，國內也有許多優秀的材料和設備供應商，如中砂、漢民等，能夠在一定程度上降低對國外供應的依賴。此外，臺灣廠商與國際供應商之間長期穩定的合作關係，有助於維持供應穩定性因此供應商議價能力屬於中等。

3. 新進者威脅

異質整合技術的高門檻在於需要整合多種技術，包括微凸塊技術(Cu/Sn 微凸塊與黏著層複合接合技術)、低溫接合技術和高精度封裝技術，技術的推進需要企業龐大的資本投入，還需要極高的技術專業性與嚴格的製程控制，人才、原料、設備皆須到位。此外，現有企業擁有大量關鍵技術專利，形成堅實的技術壁壘，新進者需要投入大量資源進行研發和專利布局，才能在市場上立足。由於臺灣企業（如台積電和日月光）在這些領域有豐富經驗，新進者需要在資金、技術和專業人才上克服巨大的挑戰。因此，短期內新進者的威脅較低，然而長期之下，隨著開放標準（如 UCIE）的推廣，以及 Chiplet 生態系統的逐漸成熟，具備創新能力的中小型企業和新創公司可能透過專精特定領域或提供差異化解決方案進入市場，新進者威脅在未來可能會增加。

4. 客戶議價能力

臺灣的半導體產品廣泛供應給全球頂尖科技公司，眾多國際大廠如 Qualcomm、Apple、Nvidia 等大客戶，憑藉其在龐大訂單規模具有較強的議價能力，可能要求更實惠的價格、更快的交期及更高的技術支援。然而，由於異質整合技術的複雜性和專業性，這些技術仍屬於高附加值產品，臺灣在異質整合技術上的領先地位，可滿足 5G 設備、AI 處理器中高效能、低功耗的晶片需求，使得客戶在尋求供應商合作夥伴時，選擇餘地有限。加上多年來，臺灣半導體企業與國際大客戶建立穩固的合作關係和信任，有助於維持合理的議價水平，因此客戶的議價能力處於中等。

5. 替代品威脅

隨著技術的發展，傳統的晶片製造方法仍不斷改進。然而，我國異質整合技術能有效解決傳統摩爾定律放緩帶來的挑戰，在因應客戶需求下不斷推進。同時，小晶片架構、矽光子共封裝光學互連在高頻傳輸、低延遲需求領域具不可替代性，未來推升異質整合技術能夠同時整合多種異質晶片的程度與範圍，在大幅提高效能與成本效益下仍保有競爭力，導致替代品的威脅相對較低。除此之外，臺灣企業持續投入研發，推動先進封裝材料、低介電損耗技術、高導熱散熱解決方案等領域的創新，確保異質整合技術的持續優勢，進一步降低替代品的威脅。未來在高效能運算、5G 和 AI 等需求中，異質整合技術是不可或缺的核心技術。

(二)市場定位探討

臺灣在全球半導體市場的核心角色源於其卓越的技術能力與完整的產業鏈。

隨著全球對高效運算、人工智慧、自動駕駛和物聯網等新興技術需求不斷攀升，對半導體技術的依賴也愈加明顯。臺灣半導體產業在異質整合技術方面的突破，將持續推動全球高階電子產品的進步，也確立臺灣在國際市場中的重要領導地位。

以台積電為例，臺灣在全球市場的競爭力體現在其先進製程技術的壟斷優勢上。台積電在全球晶圓代工市場的市佔率超過 50%，其中在 5 奈米製程領域的市佔率更是高達 90% 以上，其廣泛應用於 AI 加速器、高效能運算和 5G 基站等核心科技領域，並支持 Apple、Nvidia、Qualcomm 等國際科技巨頭的產品開發。透過異質整合封裝技術，如 InFO、CoWoS 和 SoIC 先進封裝，台積電更進而提升晶片的性能和能效，凸顯其產品的競爭力，亦使臺灣在全球科技產業中具有不可替代的影響力。

臺灣的市場優勢更反映在與全球領先終端產品製造商的深度合作中。臺灣半導體企業與 Nvidia、AMD、Sony、Intel 等國際品牌從設計端到製造端進行緊密合作，共同制定晶片功能與規格，確保晶片的成功量產並符合市場需求。臺灣在 EDA 領域的發展亦依靠全球市場，並且藉由與國際大廠合作，發展出更具競爭力的工具和產品。在 AI 及高速運算領域，臺灣的處理器晶片設計業者與國際記憶體廠商聯手，規劃制定異質整合介面規格，將有助於降低晶片成本。跨國合作不僅幫助臺灣企業快速應對市場需求，也強化其在全球供應鏈中的核心作用。

臺灣的晶片設計服務商也受惠於晶圓廠生態系及矽智財優勢，帶動多家領先廠商取得各大雲端服務龍頭企業的晶片委外設計訂單。例如世芯電子與 AWS Trainium 晶片的長期合作、創意電子替微軟打造 Maia 晶片、晶心科技也是 Meta 自研 AI 晶片 MTIA 的重要合作夥伴等（見表 5.4）。

表 5.4、雲端服務大廠 AI 晶片之設計與製造商

雲端服務業者	晶片名稱	晶片設計	晶圓代工(製程)
Amazon AWS	Graviton (CPU)	Annapurna	台積電 (未透露)
	Trainium 1	世芯電子	台積電 (未透露)
	Trainium 2	Marvell	台積電 (5nm)
Google	TPU v5	Broadcom	台積電 (4nm)
	TPU v6	Broadcom	台積電 (3nm)
Microsoft	Maia 100	創意電子	台積電 (5nm)
	Cobalt (CPU)	未揭露	台積電 (5nm)
Meta	MTIA 1	Broadcom、晶心科技 (SIP)	台積電 (7nm)
	MTIA 2	晶心科技(SIP)	台積電 (5nm)

資料來源：工研院產科國際所 (2024)

此外，臺灣完整且高效的產業鏈進一步鞏固其在異質整合技術領域的競爭優勢。臺灣在全球供應鏈中擁有強大的製造能力，從建廠、生產管理到產品開發和庫存管理，無不展現出高度的執行力。2023 年的數據顯示，臺灣半導體產業的產值達到 4.3 兆新台幣，占全球市場的 20.2%。在晶圓代工和封測領域，臺灣分別擁有 64.7% 和 50.1% 的市場占有率，反映臺灣在全球半導體市場中技術創新和產業整合上的強大實力。

綜上所述，臺灣半導體產業的全球影響力體現在其技術創新的領先態勢，以及商業模式上，與國際科技巨頭的深度合作，加上完善的產業鏈布局。隨著技術的持續突破和全球市場的深度融合，臺灣將持續維持其在全球半導體領影響力，並在全球科技領域中發揮關鍵效應。

四、我國異質整合產業發展挑戰及策略

臺灣的半導體產業以專業分工和代工服務為核心，逐步鞏固全球第二大半導體市場的地位。然而，面對全球科技競爭的日益加劇，美國、歐洲、韓國、日本以及中國等主要經濟體已意識到半導體自主供應的重要性，紛紛開始發展本地化的生產體系。這一全球趨勢對臺灣的半導體產業可能帶來挑戰，並影響其現有的競爭樣態。在此背景下，本節將運用 SWOT 分析，藉由對內部優勢與劣勢，以及外部機遇與威脅的綜合評估，全面檢視臺灣異質整合技術產業的發展現況，並探討提升產業競爭力的策略。

(一)產業內部優劣勢與外部機會威脅評估

1. 優勢(Strengths)

臺灣擁有完整的上中下游垂直分工產業鏈，擁有材料與設備周邊支援；以及具備強大的產業群聚效應，集中於在竹科、中科、南科等科技園區，能夠迅速回應市場需求並提供相應的異質整合技術。同時，臺灣在 3 奈米先進製程晶圓製造上居於全球領導地位，憑藉其專業代工模式具市場競爭力，加上高階的封裝技術創新，如銅-銅直接接合與 TSV 連接，也為高效能晶片的電性和效能提供保障。目前臺灣 IC 製造、IC 封測全球排名第一，IC 設計排名第二，諸多技術優勢使得臺灣在全球半導體市場中占據無可撼動的地位。

2. 劣勢(Weaknesses)

儘管製程技術領先，臺灣在系統架構與需求掌握方面相對較弱。系統架構與軟體設計密切相關，而這部分目前臺灣的能力尚未完全匹配國際領先企業。同時，臺灣在異質整合技術的發展中對進口關鍵材料和設備的依賴性較高，在大面積模封材料與高精度設備方面取得不易，故限制臺灣在技術供應鏈中的自主性。除此之外，臺灣雖然是全球半導體生產重鎮，但其製造過程的自動化程度相較於德國、日本等國仍顯不足，亦阻礙異質整合技術所需的精密自動化設備的運用，進而影響生產效率。而臺灣在小晶片系統的應用場域較為有限，將可能影響異質整合技術的高效應用。另外，EDA 工具在處理異質整合中高度複雜的系統設計與多元化的封裝技術時，有待進一步優化，並且 IC 設計的 IP 模組多由美商把持為現今的產業困境。最後，人才短缺亦是關鍵問題，面對高端封裝與系統整合設計的跨領域需求，臺灣的人才供應不足將抑制技術進步及市場競爭力。

3. 機會(Opportunities)

全球對 5G、AI 等新興技術的需求推升，為臺灣異質整合技術提供廣闊的應用場景及市場機遇。結合其在高效能運算、車用電子與資通訊等領域的技術優勢，臺灣與國際品牌商共同開發先進電子產品，提升產品位階並吸引國際訂單下，推動其在異質整合的技術進展與市場擴張。政府的支持政策如「晶創臺灣方案」，也為異質整合技術的快速發展提供強大的後盾，再者，臺灣在中美技術爭端背景下，可借機實現技術自立與進口替代，逐步降低對外部供應鏈的依賴，減少在國際市場動盪中的風險。而建立國際先進半導體技術研發之共同合作夥伴關係，可強化技術能量，並助力臺灣成為新興技術標準的制定者之一。另外，臺灣領導廠商亦積極參與國際產業聯盟如 UCie，強化在全球技術標準制定中的話語權。

4. 威脅(Threats)

全球技術競爭的加劇及地緣政治的不穩定性對臺灣異質整合技術的發展構成威脅。美國、日本、韓國及中國大陸的企業正如火如荼推進其半導體自主策略，並積極拉攏臺灣企業前往當地設廠，將可能削弱臺灣原本集中群聚生產的地緣優

勢。另一方面，隨著全球對晶片能源效率和環境保護要求的提高，臺灣需要在散熱技術和能源效率上加速創新，以免在高效能運算市場中失去優勢。此外，開發前瞻晶片或先進製程所需的巨額投資，如矽智財、EDA 工具、光罩等高昂成本，也為中小型半導體業者帶來創新與營運壓力。臺灣需要應對技術封鎖和市場壟斷的風險，確保在異質整合技術中保持競爭優勢。

(二)SWOT 分析下產業發展策略探討

1. SO 策略（利用內部優勢抓住外部機會）

(1)推動異質整合技術在高成長市場中的應用，以大帶小促進產業鏈協同發展

臺灣應利用其在硬體方面（如先進製程、高階封裝與載板）的製造能力優勢，積極推動異質整合技術在高效能運算、AI、5G 和車用電子市場中的應用。與國際領先品牌商（如 Intel、Google、Nvidia）維持良好合作關係，聯合開發具差異化優勢的高端電子產品，以擴大市場份額並提升技術影響力。同時，藉由龍頭企業扶植中小型供應商共同參與國際客戶之技術革新與產品研發，形成「以大帶小」的協同發展模式，提升整體產業競爭力。

(2)參與國際技術標準制定，提升 EDA 和 IP 技術全球影響力

臺灣應加強與國際 EDA 領導廠商（如 Synopsys、Cadence）的深度合作，推動 EDA 工具的優化和升級，以更好地支持異質整合技術的設計需求。並可積極參與國際 IP 標準的制定，在國際市場上擁有更多關於標準化 IP 模組的自主知識產權與技術標準。中小企業亦可把握在解決異質整合 EDA 或封裝設計瓶頸的機會，在 EDA 框架下找到利基市場。

(3)加強政策支持，促進本土技術自立與市場拓展

政府可加大對異質整合技術的政策支持力度，藉由提供針對性的研發補助、稅收優惠以及吸引外資投資，激勵 IC 業者進入高附加價值之領域，並鼓勵半導體異質整合技術在智慧製造、醫療設備與其他新興應用的落地，推動技術成果的商業化。為確保臺灣在全球半導體市場中的領導地位，政府還應支持本土供應商進行技術升級，並協助其拓展國際市場，形成更加完善和具有競爭力的半導體生態系統。

(4)掌握與國際 CSP 合作機會，擴大 AI ASIC 市場布局

臺灣應積極把握雲端服務供應商(CSP)在 AI 專用 ASIC 設計上的合作機會，結合本地領先 IC 設計企業（如世芯、創意、聯發科等）的技術實力，深度參與 CSP 的定制化需求開發。例如透過強化與 ARM 生態系統的合作，推動關鍵技術整合，打造高效能且具差異化的 AI ASIC 解決方案。

2. ST 策略（利用內部優勢抵禦外部威脅）

(1) 推動關鍵技術自主研發，降低對外依賴

面對全球技術競爭的威脅，臺灣應在低溫封裝、光學互連、IP 模組等異質整合關鍵技術領域加強自主研發，並強化國家級研發中心發展，設立共同實驗研究室，集中資源攻克關鍵技術，同時，政府應鼓勵企業與本土學術機構合作，形成強大的技術研發生態系統，減少對國際供應鏈的依賴，確保在全球技術競爭中的自主性與領先地位。

(2) 建立本土供應鏈安全網絡，確保供應穩定性

推動關鍵材料與設備本土供應鏈的技術升級與整合，特別是在方面。政策支持 and 資金投入，協助本土材料和設備供應商進行技術升級，並促進他們與國內外企業建立長期合作關係，確保供應鏈的穩定性和韌性。此外，應設立備援供應鏈計劃，確保在地緣政治或其他不確定因素影響下，臺灣的半導體產業依然能夠穩定運作。

(3) 擴大國際技術合作與人才引進培訓，吸引並留任高端技術人才

在 AI、矽光子與異質整合等前沿技術領域，臺灣應積極參與國際技術合作，例如與國際學術機構和企業合作，進行聯合研發項目與技術轉移，提升臺灣的技術創新能力，鞏固臺灣在全球技術競爭中的優勢。此外，持續強化吸引國際頂尖人才的政策，提供競爭力強的研究或職業發展機會，同時，強化機台設備操作人員的技職訓練，提升技術人才供應。

(4) 推動異質整合技術的商業化應用，擴大國際市場份額

藉由建立產業聯盟和技術合作平台，加速異質整合技術的商業化應用，鼓勵 IC 設計商、晶圓廠和封測廠之間的合作，形成完整的生態系解決方案，並推動異質整合技術在高端市場的應用。此外，支持臺灣企業參與國際展會和技術論壇，提升臺灣在全球市場的影響力，擴大市場占有率，以應對國際競爭的挑戰。

3. WO 策略（利用外部機會克服內部劣勢）

(1) 推動自動化與智慧製造技術的快速發展，提升生產效率和產品品質

加速推動本土製造業的自動化和智慧化升級，包含引進和研發先進的自動化設備、人工智慧控制系統和數位化生產管理平台，以提高晶片生產效率，降低生產成本。同時，強化示範工廠的推廣，協助中小型半導體業者提升競爭力，並確保產品品質的一致性和穩定性，從而在全球市場中取得先機。

(2) 加強高端技術人才的培養與全球引進，支持技術創新

在異質整合、封裝技術和系統設計等關鍵領域，積極與全球頂尖大學和科研機構合作，培養具備跨領域知識的高端技術人才。此外，應加強現有人才的技能

提升，藉進修、國際交流和在職培訓，確保人才隊伍能夠支持技術的持續創新和應用落地。

(3)推動產學研合作，促進技術轉移與商業化，提升全球競爭力

強化產學研合作機制，鼓勵企業與學術機構聯合開展技術研發，並促進研究成果的市場化應用。設立專項基金支持聯合研發項目，加快技術從實驗室到市場的轉移速度，並推動產學研合作成果的知識產權保護與商業化應用以加速技術創新，提升產品附加價值。

(4)提升 EDA 和 IP 技術能力，促進異質整合技術的系統整合與應用

加強對本土 EDA 工具和 IP 技術的投資，提升其在異質整合技術中的應用能力，透過引進國際先進技術和管理系統，提升本土企業的設計和生產效率，促進異質整合技術的系統整合能力。

(5)推動異質整合技術的商業模式落地，打造完整產業鏈

推動以異質整合技術為基礎的商業模式，涵蓋從 IC 設計商到封測廠的整體產業鏈，鼓勵跨領域合作，支持技術轉移和成果商業化，並提供研發補助和政策激勵，促進企業在異質整合技術領域的創新應用。完整的產業鏈模式將幫助臺灣在全球市場中建立持續競爭優勢，並推動未來技術的商業化落地。

4. WT 策略（減少內部劣勢並避開外部威脅）

(1)制定長期技術戰略，應對全球市場風險，確保產業可持續發展

建立綜合性的長期技術與風險管理戰略，應對全球技術趨勢和市場風險，並確保半導體產業持續穩定發展。可透過專門的國際風險管理與技術保護機構，建立全球市場風險預警系統，負責監測全球市場的變化，並為企業提供風險分析、即時的預警和應對建議，幫助企業在面對貿易戰、技術封鎖或地緣政治衝突等外部威脅時，迅速調整策略，從而保護臺灣企業在國際市場中的利益。此外，藉由知識產權法規的嚴格執行，防止技術外流和侵犯，確保技術創新成果得到有效保護。

(2)推動技術標準化與國際合作，鞏固全球應用與市場地位

開放市場中，標準化是實作上的必要元素，也是推動技術生態系統發展的基礎。而支持臺灣企業積極進入國際技術聯盟，如 UCIE 等組織，並參與關鍵領域的國際技術標準制定，加強與全球技術領導者的聯結，分享並引入最新技術成果，發揮影響力，避免在全球市場中被邊緣化，進而確保其技術在全球市場中的廣泛應用，減少因標準不統一而可能面臨的技術孤立風險，亦可提高技術轉移與商業化的效率。

SWOT 分析下產業發展策略綜整如下表 5.5 所示：

表 5.5、我國半導體異質整合 SWOT 分析與策略

<p>臺灣半導體異質整合技術 SWOT 分析</p>	<p>優勢(S)</p> <ul style="list-style-type: none"> • 完整的上中下游垂直分工產業鏈與材料、設備支援。 • 產業群聚效應集中於竹科、中科、南科，迅速回應市場需求。 • IC 製造、IC 封測全球第一，IC 設計全球第二。 	<p>劣勢(W)</p> <ul style="list-style-type: none"> • 高度依賴進口關鍵材料和設備，限制供應鏈自主性。 • 自動化與智慧製造進展緩慢，缺乏小晶片應用場域。 • EDA 工具和 IP 模組多由美商把持，需進一步優化。 • 高端技術人才供應不足，影響技術和市場競爭力。
<p>機會(O)</p> <ul style="list-style-type: none"> • 全球 5G、AI 等新興技術需求增長，提供廣闊市場機遇。 • 政府支持政策如「晶創臺灣方案」推動技術進展。 • 中美技術爭端背景下的技術自立與進口替代機會。 • 參與國際產業聯盟如 UCIE，強化標準制定話語權。 	<p>SO 策略</p> <ul style="list-style-type: none"> • 推動異質整合技術在高成長市場中的應用，以大帶小促進產業鏈協同發展。 • 參與國際技術標準制定，提升 EDA 和 IP 技術全球影響力。 • 加強政策支持，促進本土技術自立與市場拓展。 • 掌握與國際雲端服務供應商 CSP 合作機會，擴大 AI ASIC 晶片設計的市場布局。 	<p>WO 策略</p> <ul style="list-style-type: none"> • 推動自動化與智慧製造技術的快速發展，提升生產效率和產品品質。 • 加強高端技術人才的培養與全球引進，支持技術創新。 • 推動產學研合作，促進技術轉移與商業化，提升全球競爭力。 • 提升 EDA 和 IP 技術能力，促進異質整合技術的系統整合與應用。 • 推動異質整合技術的商業模式落地，打造完整產業鏈。
<p>威脅(T)</p> <ul style="list-style-type: none"> • 全球技術競爭加劇，地緣政治不穩定性威脅發展。 • 晶片能源效率與環保要求提升，開發成本高昂。 • 技術封鎖與市場壟斷風險增加。 	<p>ST 策略</p> <ul style="list-style-type: none"> • 推動關鍵技術自主研發，降低對外依賴。 • 建立本土供應鏈安全網絡，確保供應穩定性。 • 擴大國際合作與人才引進，吸引並留任高端技術人才。 • 推動異質整合技術的商業化應用，擴大國際市場。 	<p>WT 策略</p> <ul style="list-style-type: none"> • 制定綜合技術與風險管理戰略，保障臺灣半導體產業在全球市場中的穩定與競爭力。 • 推動技術標準化與國際合作，鞏固全球應用與市場地位。

資料來源：工研院產科國際所 (2024)

五、小結

異質整合技術為晶片高度整合的關鍵，臺灣半導體從技術領先到產業鏈布局，在在皆顯示臺灣在該領域的堅實基礎與巨大潛力。然而，全球半導體的競爭格局日益激烈，臺灣需要持續強化技術創新、政策支持及人才培育，以應對日益複雜的市場環境和技術要求。

就技術創新與應用的角度而言，異質整合是臺灣保持全球半導體領先地位的核心策略。透過結合不同材料與製程，提升晶片的效能與應用範圍，特別是在高效能運算、人工智慧、電動車與物聯網等領域，展現出龐大的市場需求。臺灣領先的 IC 製造和封裝技術，加上在晶圓代工中的主導地位，賦予其在全球市場中不可或缺的角色。然而，面對其他國家，如美國、韓國及中國等在半導體技術上的強勢發展，臺灣需要不斷加強自主技術的研發，降低對國外設備和材料的依賴，在光刻設備、關鍵化學品等方面，進一步提升其產業自主性。

其次，異質整合技術帶動的技術創新不僅體現在製程和封裝技術上，還強調 EDA 工具和 IP 模組的關鍵性。隨著異質整合的設計需求愈加複雜，EDA 工具的優化成為重中之重。臺灣可透過與國際領導廠商的合作，推動 EDA 技術升級，並參與國際標準制定，確保其在全球技術生態系中的影響力。此外，推動產業鏈的協同發展也是關鍵策略之一，臺灣可以藉由「以大帶小」的模式，透過領頭企業的帶動，支持中小型半導體供應商的技術升級，進一步鞏固其產業鏈的穩定性和靈活性。

再者，全球政治與經濟的變化對半導體產業的發展影響深遠。逆全球化趨勢和地緣政治風險增加，各國強化本地晶片生產能力，對出口導向的臺灣構成挑戰。然而，這同時亦提供臺灣推動技術自立的機遇。臺灣可加強在先進製程與異質整合技術上的自主研發，並透過與國際技術聯盟的合作，如 UCIE 等組織，提升在國際技術標準制定中的參與度，避免因標準不統一而導致的市場邊緣化。

最後，人才供應和產學研合作是未來提升競爭力的核心。面對少子化和高齡化的社會挑戰，臺灣半導體產業必須積極吸引全球頂尖人才，並加強現有員工的技能提升計劃。透過政府的教育政策與企業的培训機制，臺灣應確保在高端封裝、系統設計等領域的人才供應不斷。與此同時，產學合作可以進一步推動技術創新，促使學術研究成果快速轉化為商業應用，為產業發展提供持續的技術支持。

總體而言，臺灣的半導體異質整合技術在全球市場中具備強大的競爭優勢，憑藉其完整的產業鏈布局、領先的技術創新能力及政府的大力支持，臺灣有望在未來持續鞏固其全球半導體領導地位。儘管面對技術競爭和地緣政治風險，臺灣仍能藉助其技術實力和產學研合作，應對各種挑戰，並推動技術的持續升級和商業化應用，進一步拓展全球市場。

參考資料

1. 工研院產科國際所（2024）. 2024 半導體產業年鑑. 工研院產科國際所.
2. <https://www.sipo.org.tw/industry-overview/industry-categories/the-map-of-semiconductor-industry.html>
3. <https://www.ey.gov.tw/Page/5A8A0CB5B41DA11E/6dd41826-ed84-4b92-9f51-e6ebeb8621f8>

第六章 促進我國半導體異質整合產業形成之建議

本報告前五章深入探討了以下主題：半導體異質整合的發展趨勢與應用、產業鏈現況及重點國家政策、相關技術挑戰與 Chiplet 互連介面的發展現況，以及我國在異質整合產業的競爭力與挑戰。為了更精準掌握業界的想法與需求，並確定本報告提出的建議能更為聚焦並具備實務性，在研討過程中特別舉辦了兩場次專家座談會。座談會邀請了業界與學界的重量級專家參與，包括台灣積體電路製造股份有限公司余振華副總、希鐸科技股份有限公司胡迪群董事長、日月光半導體製造股份有限公司洪松井資深副總、陽明交通大學國際半導體產業學院陳冠能講座教授、工研院電子與光電系統研究所駱韋仲副所長、鈺創科技股份有限公司盧超群董事長、新思科技股份有限公司劉志鵬資深業務協理，以及聯發科技股份有限公司蘇仁斌協理（依姓氏筆劃排序）。會議中，專家們就「如何促進我國半導體異質整合產業的形成」進行了深入討論，並提出多項建設性建議，茲綜整如后。

一、余振華副總（台灣積體電路製造股份有限公司）

異質整合技術為臺灣經濟與產業發展帶來了巨大的機遇與前景，使臺灣在全球產業鏈中占據關鍵地位。所有晶片整合技術（包括同質與異質整合）均以晶圓為基底，其核心目標在於最大化晶圓的良率，而這與 Die 尺寸的縮小息息相關。隨著 Die 尺寸減小，不僅可以提高晶圓利用效率，還能進一步提升系統效能。為實現更高的效能，整合過程必須縮短各 Die 之間的距離，同時優化並精細化連接線路的設計，以增強整體價值。因此，當前的技術發展重點聚焦於如何提升系統緊密度，從而進一步增強其運算能力與效能，此一方向正符合人工智慧(AI)技術發展的迫切需求。

在異質整合的 IC 設計中，所需的 EDA 工具與傳統 IC 設計工具存在顯著差異，兩者之間的協同溝通機制更是成敗的關鍵。因此，建議在異質整合 IC 設計流程中，將 IC 設計架構與 EDA 工具的整合列為優先探討的重點項目。而為實現此一目標，建立互連介面的標準化是不可或缺的一環。然而，制定技術路線圖 (roadmap) 往往是一項複雜且漫長的過程，通常需等技術達到一定成熟度並經過量產驗證後，方能形成具體方案。因此，建議臺灣的產學研界積極投入互連介面標準化的技術路線圖制定工作，並力爭在其中扮演關鍵角色，藉此提升臺灣在異質整合領域的技術影響力與全球競爭力。

晶圓代工、封裝及 EDA（電子設計自動化軟體）構成了半導體產業中較長且高度依賴的供應鏈，其中任何環節的中斷都可能對產業運作造成嚴重影響。因此，臺灣需積極構建本地化供應鏈，尤其是在封裝與系統整合等後段製程領域，這不僅能降低風險，更為半導體產業創造嶄新的發展機遇。另，封裝與系統整合領域涵蓋新材料與新設備的應用，其技術門檻相對較低，對臺灣而言是一個極具潛力

的發展方向。同時，為應對潛在的供應鏈斷裂危機，建議臺灣應加強人才培育機制，從教育端入手，在學校設立針對專業設備的相關課程，培養具備實務經驗的技術人才。此外，教育部可牽頭推動學界與產業的深度合作，鼓勵教授結合自身專業領域，參與產業問題的解決與技術創新。這種校企合作模式可增強產業韌性，有效防範可能的中斷風險。

異質整合並非追求先進的製程技術，與如 EUV 技術等極微米等級製程不同，其重點集中在微米級別的製程需求。異質整合所需技術涵蓋材料科學、聚合物應用以及製程工具的開發，同時也高度依賴傳統精密機械產業的技術支持。值得注意的是，異質整合不僅帶動了半導體相關領域的技術進步，也為傳統產業提供了技術創新的契機。傳統產業可針對半導體技術需求進行調整和創新，從而加強與半導體產業的交流與合作，實現雙向促進與共創雙贏局面。為此，建議政府積極參與並提供支持，設立專門的媒合平台，促進異質整合與傳統產業間的有效對接。同時，鼓勵資源共享與技術交流，以加速相關技術應用的落地。

最後，在先進封裝技術持續快速成長的背景下，提升效率成為當前的核心課題。同時，CPO（共封裝光學元件）的整合需求也日益增加。台積電已推出其矽光子平台解決方案 EPIC，為該領域帶來新的發展契機。過去，由於矽光子技術的成本較高且市場需求尚未成熟，其應用受到一定限制。然而，隨著市場需求的逐步顯現，加上三五族元件的成本與規模化製造逐漸達到理想狀態，如今正是實現矽光子整合的關鍵時機。展望未來，矽光子整合的潛力值得高度期待，建議業界與學界持續關注相關技術的演進與應用進展。

除本報告所提出的政策建議外，建議政府相關單位若有進一步興趣，可透過中技社舉辦研討會、座談會或專業課程，邀請產學研專家與政府代表進行直接對話。不單可有助於深化對政策內容的理解，還能促進多方交流，凝聚共識，從而提高政策推動的效率與實施成效。

二、胡迪群董事長（希鐸科技股份有限公司）

異質整合的技術開發，涉及各類型的晶片及被動元件的整合，其中包含有電、光、功率元件、GPU/CPU/TPU 以及高速記憶體如 HBM 等晶片的整合，還要考慮矽光子整合到基板以及整體散熱問題的處理，是非常複雜的系統整合開發技術。為了加速我國半導體異質整合產業鏈的形成，建議廣納國內各個領域的優秀人才、單位，以及公司，才能快速有效並且成功地建立我國半導體異質整合產業。建議政府除了大型公司以外，也要關注一些優秀具有潛力的小型公司（例如資本額在 1000 萬台幣以下），小公司具有靈活性，並擁有獨特技術或專利，政府政策上的幫助不能漏掉他們。建議政府能夠發掘鼓勵這些從事異質整合的新創小型公司，幫助這些小型公司技術研發及推廣經費的補助。例如，提撥異質整合總計畫經費的 10%~15%，支援這些小型的新創公司，使其也能快速驗證並導入新創的技術。對我國半導體異質整合產業做出重大貢獻，加速我國半導體異質整合產業鏈完整

建立。

舉例來說，模擬對於異質整合是非常重要的。模擬包括 EDA、CAE 等技術。EDA 廠商和 IP 廠商是臺灣半導體產業鏈的軟肋，國外廠商如 Cadence、Synopsys 和 Siemens 在市場上已經有絕對的領先優勢，但是，在異質整合技術開發中，需要物理、材料、化學整合的場域，國內這方面比較有類似的 CAE 公司如 Moldex3D 在 molding 以及 underfill 方面已有軟體可以事先預測點膠的結果、應力分布情況、未填滿孔洞的位置、... 等等，已經處於世界領先的地位。當今世界上異質整合的硬體整合與製造，大部分都在臺灣完成，這是國內創新 CAE 公司產品應用的絕佳場域。政府應該可以對類似的公司進行技術研發補助，幫助 CAE 公司與異質整合的硬體整合公司之間進行交流，幫助其加入異質整合產業的供應鏈，加速我國半導體異質整合產業的發展。再者，NVIDIA、AMD 幾乎每年都會推出新的產品，這意味著產品生產周期會被壓縮，但是產品的複雜度會更高。若導入新的材料或新的結構都需要經由實驗一步一步驗證完成的話，一定會拖延產品上市的時間。因此，若有一套完整的 CAE 軟體能夠做出在物理上模擬這些新的結構及新的材料在製造上、品質上、可靠度上可能發生的問題，將可以大幅減少經由實驗及學習驗證的時間，以使產品能夠及時上市。

另外，建立我國的異質整合技術路徑圖也相當重要，目前異質整合的路徑圖由國外主導。其主導的方向並不完全有利於國內產業的發展。政府可以成立新的聯盟或是指導委員會，邀請譬如說矽光子技術、散熱技術或 Hybrid bonding 技術路徑圖方面有代表性的學界、研發單位以及有潛力的大型公司與小型公司加入，以有利於臺灣目前產業競爭優勢方向來進行路徑規劃。促使這個聯盟和國外的類似聯盟能夠互相交流，影響並主導未來世界異質整合技術路徑圖。

未來異質整合所需要的 IC 載板需要更大的面積，更多的層數。玻璃是一直被提起的有機載板的替代方案。在這方面美國、韓國和日本都已經佈局很久。最近美國已補助一家韓國公司 ABSOLICS 一億美金的研發經費，在美國製造玻璃基板。若臺灣現在起步應該還有機會，但是需要一些創新的想法以及創新的玻璃的結構，要能夠領先美國和日本韓國一步，必須設法解決玻璃的可靠度問題，並實現玻璃在載板中的應用。因為臺灣起步較晚，政府可以協助支持現有或是新創的公司，以及整合國內的資源。政府在這方面是具有非常關鍵性的影響。

而有關吸引人才方面，可利用目前在重點大學建立的半導體學院，提供獎學金，吸引國外優秀學生前來就讀，在這些學生在學中，就可以讓他們到相關企業實習，了解臺灣的企業文化並且學習工作技能。在這些學生畢業後，鼓勵企業雇用這些學生，讓這些學生可以長期留在臺灣就業，幫助臺灣半導體異質整合產業的發展。臺灣國內選擇理工科系就讀的學生，日漸減少，可以利用目前的半導體學院，規劃合適的課程，招收原本屬文、法、商領域的學生前來就讀，以這些學生可以理解的語言，教授基本的半導體知識，安排他們到企業實習，了解實際半

導體業的運作，在畢業後，這些學生就會有更高的機率會加入半導體異質整合業界，進一步補充半導體業的人才需求。至於師資方面 國內有許多屆齡退休的半導體以及封裝上面有實際經驗的專家，如果善用他們的知識以及經驗可以讓他們將他們寶貴的知識及經驗能傳遞給接棒的下一代。建議政府在師資的選擇上放寬現有年齡上的限制，能夠讓這些專家們能夠參與繼續貢獻臺灣半導體異質整合未來的發展。

未來一、二十年半導體的發展方向是朝著異質整合的方向前進，這已經是為世界所公認。未來世界會朝向低碳能源，減少碳排放，減少對環境的影響的方向前進。爾後，在產品製作上減少所需要的材料、減少所需要的製造能源、產品製作完成後也必需減少運轉所需要的能源、...等等，這些都需要善用異質整合的技術。臺灣在這方面已經具有良好的基礎，輔以政府若能大力支持本專案所提之建議，必能維持並強化臺灣在全球半導體及異質整合的領導地位。

三、洪松井資深副總（日月光半導體製造股份有限公司）

異質整合亦即把實現整個系統所需的各種元件如邏輯晶片、感測器、記憶體等都整合在單一封裝，使得能耗、效能獲得改善和大幅縮小體積，異質整合技術的發展面臨兩大挑戰：(1)如何保持成本競爭力；(2)提高製程控制的精準度。任何技術的開發都必須要符合滿足上述的兩個要求，才能實現大規模應用。同時要由最終應用來定義系統的需求，才能帶出所需的核心理技術。這需要 IC 設計、晶圓製造、先進封裝與測試、精密機械、關鍵材料等整條供應鏈共同努力，才能達成系統整合的目標。

要實現異質整合的目標，IC 設計跟系統廠商也不能置身事外。在產品開發最源頭的設計階段，IC 設計者就要把異質整合納入考慮。把半導體產業鏈上下游匯聚在同一個平台，讓前端設計者在設計元件時，就了解後端供應鏈所能提供的異質整合能力。

另外異質整合 EDA tools 發展，其技術挑戰包括 VLSI 設計、電路模擬、佈局與布線等領域，專利與資源挑戰則涉及專利管理、資金、人才、開發時程和設備供應，大型 EDA 公司在全球市場主導地位凸顯了中小型企業的發展困難。

矽光子與感測器也屬於異質整合的範疇，可設立此研究中心或產業聯盟來制定策略與法規，亦可將業界與學界進行整合，進一步推出技術發展藍圖。

建議政府應持續強化 IC 設計與研發能量，並致力協助廠商發展先進製程與封裝，穩固國內領先地位；同時積極發展半導體材料及設備的本土化，提高相關自主能力，並邀請國外領導廠商來台設廠。此外，強化本土供應鏈與國外系統領導廠商的夥伴關係也是推動異質整合技術的重要環節。透過推動大廠（例如台積電、日月光）驅動小廠策略聯盟，可以加速產品競爭力的提升，同時滿足多元客戶需求，進一步增強產業整體實力與市場影響力，這些策略的實施將為異質整合

技術的全面應用奠定堅實基礎。

人才部分，建議政府執行三大策略：(1)培育專業人才；(2)延攬國際關鍵技術專家，以及(3)深化雙語能力與國際視野。現有的半導體學院可設立產學封裝技術研究、菁英獎學金等，或可增設相關課程與學位、鼓勵跨學科學習研究、與企業合作，提供實習計劃。學生透過平台進行各式先進積體電路設計、整合、檢測、應用相關技術的研發，以前瞻創新的成果展示，吸引更多產官學研資源投入，發揮加乘的推動力道（政府提供創業基金、輔導金）。此外，建議國家可設立國家重點領域研究學院，延攬產業所需異質整合開發技術人才，以及相關科系外籍生及技術專家來臺，相關參考策略包括：海外人才招募與稅務優惠、產學合作專班、在職進修管道、外籍白領培育、協助藍領移工加強專業技術轉為移民，並提高企業聘用比例上限等，如此亦可厚植臺灣人才的英語能力及加強國際交流。

至於支援產業發展，建議政府應在以下三方面加強基礎設施建設：(1)土地供應：透過工業區立體化更新、媒合一條龍服務及合作開發新園區，確保產業發展空間；(2)水資源管理：建置區域支援調度幹管及供水網，強化儲水與供水設施，確保穩定供應；(3)電力供應：加強電網韌性與智慧電表布建，積極利用再生能源如太陽能與風能，並結合儲能技術，實現穩定供電與減碳目標。同時，協助企業取得綠電，滿足供應鏈與 ESG 需求。

四、陳冠能講座教授（陽明交通大學國際半導體產業學院）

臺灣在現今全球半導體產業中處於相當具有優勢的地位，不僅擁有完善的晶圓代工、封裝產業及相關產業鏈，還具備環境與成本優勢、快速企業文化以及產業鏈整合等因素，促成臺灣在先進封裝與異質整合領域的領先地位。若要持續保持這一優勢，建立異質整合技術的未來發展路徑圖、掌握話語權並引領產業發展，將成為關鍵目標。為實現此目標，建議重點發展異質整合關鍵技術，包括矽光子技術、散熱技術及 Hybrid bonding。除業界投入外，也應納入學界研究，並鼓勵產學合作。業界可支持新創企業及其他產業參與，同時探索創新概念及平台開發，以增強專利與智慧財產權的保護。

國內產學界應積極參與各類論壇、國際會議與聯盟組織，不僅可掌握最新的關鍵技術與產業發展趨勢，還能透過投稿與發表，讓國際相關領域認識臺灣的實力與領先地位，進一步支持臺灣主導異質整合技術的未來發展方向。

目前整個半導體產業對人才的需求極高，其中異質整合領域尤為顯著。有經驗的異質整合專業人才特別稀缺，其原因在於半導體多數專業背景來自前段半導體製程或後段封裝產業。而針對異質整合領域的專業人才，若能提供合適的薪資與發展空間，將有助於聘用與留任。此外，吸引國際人才時，除上述條件外，建議政府協助加快簽證办理流程。目前，臺灣在就業金卡等審查程序上已具備完善的行政措施，有利於吸引國際專業人才。

在基礎與新進異質整合人才培育方面，雖然臺灣已設立數個半導體學院，加上原有的電機學院，整體人才供應量有所提升，但需考量部分人才可能流向前段製程或 IC 設計領域，而非異質整合領域。因此，建議加強宣傳，吸引機械、材料及化學等相關領域人才參與異質整合設備與材料開發，並強化國內相關供應鏈的競爭力。此外，可針對國內外優秀學生，特別是機械、材料與化學相關科系的國際學生，提供更多工作與學習機會，並加速政府對國際學生畢業後的就業簽證轉換流程，以提高臺灣對外國人才的吸引力。

為了培育更多異質整合專業人才，還可考慮提供轉職培訓機會，讓其他產業或非相關背景的人才透過進修管道進入異質整合產業，增強人力資源多樣性。

由於重要的異質整合相關設備與材料多由國外廠商掌控，這也成為臺灣的潛在弱點。建議政府提供專案經費，支持國內設備與材料廠商投入異質整合技術研發，並以租稅優惠、投資抵減項目及人才培育等措施增加誘因。同時，可鼓勵或資助國內大廠建立驗證平台，為成功開發的設備與材料提供正式驗證，提升市場信任度。

政府對異質整合領域的發展一向抱持明確支持態度，透過成立相關聯盟（如 AITA）及國家型計畫（如 A+計畫與晶創計畫），展現引導產業發展的決心。目前我國異質整合的主要發展方向包括：(1)相關供應鏈的強化；(2)人才的培育與吸引；(3)領先地位的持續鞏固。建議政府可進一步從以下幾個層面推進：(1)增加投資與參與誘因；(2)加速外國人才來台流程並吸引跨領域人才參與；(3)鼓勵關鍵技術的發展以鞏固領先地位，全面提升臺灣在異質整合領域的競爭力。

五、駱韋仲副所長（工研院電子與光電系統研究所）

半導體產業元件製造部分，主要分為元件製造前段製程(FEOL)、後段製程(BEOL)、晶圓級封裝異質整合製程(Heterogeneous Integration)等三大部分。異質整合技術主要牽涉到的設備與材料技術，包含元件製造後段製程及晶圓級封裝製程為主，其關鍵核心技術為銅導線多層金屬連線技術、晶圓級接合與組裝技術、矽穿孔技術等，與元件製造前段製程奈米等級相比，非常適合臺灣的設備廠商與材料廠商投入開發與搶佔國際市場商機。然而設備與材料開發非一蹴可及且動則需要至少 5 年以上至 10 年之長期開發，相對廠商投入風險較大，建議政府可以三方面來引導及協助產業進行技術投入與升級：(1)使用者端的鼓勵與獎勵：包含研發投資抵減與採購項目補助，於業者推動前瞻技術開發與探勘時，協助產業形成新供應鏈工業標準與前瞻技術發展藍圖；(2)設備與材料廠商的支持：針對設備與材料廠商之獎勵與補助，引導現有設備與材料產業協會成立各關鍵技術委員會(SIG)，根據技術發展藍圖，共同投入設備與材料之核心關鍵模組與原材料技術開發；(3)人才培育與專利佈局：針對前瞻技術的人才培育與關鍵核心技術專利佈局，政府出資與產業餽贈設備共同設置應用研究試驗線，藉由研究試驗產線之單站技術創新與各模組製程整合，鼓勵國內半導體廠商與學研機構更緊密合作，培育半

導體人才即戰力與專利策略佈局保護網。

異質整合技術其關鍵核心技術為銅導線多層金屬連線技術、晶圓級接合與組裝技術、矽穿孔技術等，但針對不同系統產品規劃與其應用型態之差異，產生不同的技術發展路徑，例如：國際大廠 Nvidia、Google、Intel/AMD 等推動雲端高速運算與大語言模型應用之系統需求，與車用邊緣運算與消費性電子應用之系統需求相比，必須要有適合臺灣產業型態的前瞻策略與科專計畫推動、與產業再升級的強化手段佈局。

另外，如何將矽光子與感測器納入異質整合，建議仍以電性連接為主體的技術與應用進行異質整合探討主軸，應聚焦如何善用目前半導體產業鏈完整性，推動異質整合未來晶圓級系統整合(Wafer-Level System Integration)、小晶片軟硬體系統整合設計及矽智財與關鍵技術開發(Chiplet Integration)、系統級散熱技術等，將成為臺灣是否能夠掌握下波半導體發展的重點關鍵項目之一。同時，鎖定雲端高速運算與大語言模型應用之系統需求，以及車用邊緣運算與消費性電子應用之系統需求為主進行技術需求規劃與應用探勘，以利適合臺灣產業型態的前瞻策略推動、與產業再升級的強化手段佈局。矽光子部分，則可以簡要說明技術重點，以及探勘現有產業投入現況比較，後續異質整合進行版本更新時，再進行細項分析與規劃。

由於臺灣針對系統應用及系統規劃，長年來較為欠缺，因此在系統設計與技術整合上必須鏈結國際夥伴需求進行長期共同開發，建議政府可以兩方面來引導及協助產業進行技術投入與升級。其一，針對以電性連接為主體的技術與應用進行投資與補助，如何善用目前半導體產業鏈完整性，推動異質整合未來晶圓級系統整合、小晶片軟硬體系統整合設計及矽智財與關鍵技術開發、系統級散熱技術等，將成為臺灣是否能夠掌握下波半導體發展的重點關鍵項目之一，政府可提供半導體產業的異質整合技術開發研發獎勵，包含研發投資抵減與設備、材料採購項目補助，於業者推動前瞻技術開發與探勘時，協助產業形成新供應鏈工業標準與前瞻技術。其二，加上矽光子或其他非矽基材元件異質整合，以矽光子為例，目前臺灣矽光電產業鏈尚未建立完整產業供應鏈，藉由產業與法人的努力，目前已於 2024 年 SEMI Taiwan 期間成立以建立 Ecosystem 的矽光子聯盟，未來可以藉由此聯盟串聯國內外產業從設計、製造、測試、應用等，推動成立包含技術藍圖推動、供應鏈、相關矽光子標準等之各關鍵技術委員會(SIG)，協助臺灣進行未來技術藍圖佈局及動態技術應用規劃、完善臺灣全新矽光子產業供應鏈。

如前兩項所述，應如何吸引人才以建立競爭優勢，可考量將人才分為兩部分進行培育以吸引並留住人才，其一為，結合現有臺灣成立之半導體學院，善用國研院協助學界之設計與驗證能量，重點吸引亞洲文化相近(含日本、東南亞等)、華裔或熟悉中文人才來台，針對異質整合技術進行碩博士技術研讀與訓練，以利新進人員培育、留才與擴散至臺灣產業。其二為，針對前瞻技術的人才培育，政

府出資與產業餽贈設備共同設置應用研究試驗線，藉由研究試驗產線之單站技術創新與各模組製程整合，鼓勵國內半導體廠商與學研機構更緊密合作，培育半導體人才即戰力與專利策略佈局保護網。

政府在異質整合的政策，可扮演臺灣未來半導體發展的重要力量，首先，創新研發部分，善用學界教授創新能量與人才培育，半導體產業學院之優質導師與基礎研發設備，進行晶片級創新研究，其次，結合法人工業創新技術與專利佈局策略，藉由晶圓級異質整合技術能力與實驗線，進行快速異質整合模組及小晶片整合概念產品(POC)驗證，服務中小企業、新創公司與創新產品等產業，提供小量多樣性技術與產品開發及先導量產評估，同時，協助設備與材料產業進行設備開發與新材料驗證，以利後續產業化推動。其次，政府具備引導加強國際鏈結政策方向，規劃結合臺灣半導體優勢與醫療生醫的優質能量與投入，政府可扮演領頭資金與創投角色，政策支持臺灣各區場域建立，推動結合半導體異質整合元件的健康醫療電子系統與健康樂活電子回饋系統、有效復健及照護等智慧電子場域與節能效益，促進臺灣產業跨領域結合。最後，異質整合領域的政策制定政策和法規，對吸引國際人才留台與新創公司來台，藉由資本引入和國際關鍵大廠來台，將啟動異質整合最關鍵的力量。

六、盧超群董事長（鈺創科技股份有限公司）

在全球半導體和 AI 技術迅速發展的背景下，臺灣面臨著前所未有的機遇和挑戰，也扮演至關重要角色。如何落實創新技術並鞏固臺灣在全球半導體產業中的領導地位，下列為幾個重要的發展方向建議：

「6 個 I」- AI、IC、HI、SEMI、IoT 及 PI (Pervasive/ Personal/ Privacy Intelligence)，將成為全球未來 30 年內半導體在 AI 領域中的核心發展方向。個人認為未來更具價值的趨勢是 Optimized Monolithic & Heterogeneous Integration(OMHI)。在 IC 設計中，封測異質整合固然重要，但在 IC-level 結合不同技術在內的同體異質整合的同步發展同樣不可或缺。結合 IC 同體異質整合與封測異質整合的新技術，即可讓臺灣成為全球獨一無二的「AI 寶島」及「6I 矽島」。建議可持續深入探討如何落實與 6I 及 OMHI 相關的 IC 同體異質整合及封測異質整合議題。

臺灣半導體產業目前存在兩大弱點：首先，臺灣的 IC 設計能力及國際地位相對不足（與美國相比仍有相當大差距），建議加強 IC 設計、AI 軟體及微系統的開發；其次，臺灣應整合國家及產業各界的力量，開發創新結合 IC 同體異質整合及封測異質整合的 AI+IC 微系統產品，以在地化，大幅提升臺灣包含 IC 設計及終端系統廠商在內的國際競爭力。唯有如此，臺灣才能在半導體產業的全球競爭中保持自主開發及規模優勢，並站上國際半導體頂峰。

在 IC 同體異質整合及封測異質整合領域，建議臺灣 IC 設計業務須積極投入，以加強與 Nvidia、高通等國際指標性 IC 設計大廠的競爭力。此外，中國也正積極

進行相關投資，加大市場競爭壓力。

期望政府優先投資結合同體異質整合及封測異質整合研發，以期臺灣在未來能創造出新世代如目前晶圓代工及 IC 異質整合封測等領先世界的水準。當前的重點在於運用異質整合技術，推動 AI+IC 及矽世代 4.0 的領導地位，進一步鞏固臺灣在全球半導體產業中的領導及競爭優勢。

封裝目前在異質整合中扮演關鍵角色，其目標是透過晶圓級封裝、SiP 封裝和異質封測等技術，使封裝後的元件具備系統或次系統的功能，同時能為同體異質整合 IC 提供全面、高效的封測。未來的討論應聚焦於封測異質整合與 IC 同體整合技術的結合，並提升 IC-Package-System-Co-Design 及先進多晶片細間距測試的能力，才能強化臺灣在全球產研領先地位，並大幅擴展產業規模及提升國際領導地位。

目前全球主要國家均高度重視 AI 與半導體的發展，並投入遠超臺灣的資源。為此，建議臺灣政府大力提供獎勵措施，鼓勵國內上、下游廠商結盟，共同投入 AI、大型語言模型(LLM)，及結合 IC 同體異質整合及封測異質整合的研發，促進產業協同創新與大幅提升臺灣產業鏈競爭力及不可替代性。

結合 IC 同體異質整合及封測異質整合的研發，除提升半導體產業優勢外，也會有助於臺灣，包括鋼鐵業、工具機業在內的多項產業導入能人所不能，結合軟硬體在內的 AI 技術，以推動產業升級，這正是異質整合對臺灣經濟發展的潛在重大貢獻所在。

最後，美國是全球軟體與系統的重鎮，也是輝達、蘋果、微軟等科技巨頭的核心市場。對於系統和軟體領域相對不具優勢的臺灣廠商，可由政府、工研院等單位牽頭，組織臺灣整體供應鏈與專業人才赴美，參考新竹科學園區的成功模式，在美國建立「海外科學園區」(Taiwan Science-Based Industry Park in the USA)。這樣的佈局不僅能縮短與商務應用及軟體開發平台的距離，更成為 AI+半導體產業發展的關鍵。此舉能讓臺灣人才在海外汲取寶貴經驗，並結合當地人才資源，將知識與技術帶回，促進臺灣軟硬體整合，加速半導體與 AI 產業的升級轉型。

七、劉志鵬資深業務協理（新思科技股份有限公司）

隨著半導體產業進入 3DIC 的世代，在原有產業生態的三大樞紐位置的晶圓代工廠商(Foundry)、整合元件製造商(IDM)、無晶圓廠晶片設計公司(Fabless IC design house) 和自行設計晶片的系統產品公司(System House)以及電子設計自動化(Electronic Design Automation) EDA 和 IP 廠商的互動關係，已經逐漸變成由 Fabless IC design house（或者 System House）主導的趨勢（例如 Nvidia 和 AMD 在 HPC, Apple 和 Samsung 在 mobile SoC 的地位），這種以產品設計架構來決定導入技術（包括所有涵蓋半導體產業鏈廠商的技術設計）的趨勢將使臺灣半導體廠商必須站在系統設計的角度看整體的技術研發方向。臺灣政府應該從國際視角來

看未來的產業政策，引入國際上的系統設計概念（例如 System-to-Silicon, Silicon Lifecycle Management），提供目前臺灣 Fabless IC design house、設備廠商、晶圓代工業者、記憶體廠商、EDA/IP 廠商的未來可行的 vision，先與國際主流設計概念同步，同時厚植臺灣各領域的領導廠商，輔導媒介商務合作。長期的政策扶植與實務上的執行，可以將臺灣本土的設計能量潛力釋放。(Synopsys 的軟體與 IP 在矽光子技術、散熱分析、3DIC 設計/整合分析/signoff 都有實際客戶經驗)

為了加速本地供應鏈的發展，政府可考慮提供專屬預算給各廠商運作，指定專責單位（例如工研院）負責進行一個示範專案的設計流程與 tape-out。這其中包括以下幾個重要方面：

1. 工研院負責專案管理，目標導向協調規劃，以指定的時間完成專案 tape-out (完成 KGD (known good die), KGS (known good substrate), KGP (known good package) 的里程碑計畫)。
2. EDA 廠商：提供專案設計服務人員和軟體設計工具（例如 Synopsys 完整的 3DIC 設計與驗證軟體），以專案執行的目標協助導入軟體設計自動化流程。(Synopsys 的 3DIC 設計與驗證軟體目前已被國際大廠使用)
3. IP 廠商：提供指標性 IP（例如 Synopsys ARC CPU/NPU, interface IP (e.g., UCle/PCIe/HBM controller/HBM PHY, etc.), 和記憶體 chiplet (e.g., HBM4)）當作晶片設計的腳本，以全新完整的 3DIC 設計流程，加速完成 KGD/KGS/KGP 的專案執行。(Synopsys 的 IP 目前已被國際大廠使用在 2.5D/3D 的專案中)
4. 晶圓代工服務廠商(TSMC, UMC 和其他晶圓廠商)：以 3Dblox 為介面設計參考(3Dblox 已經在 IEEE 規範的審議之中)，提供晶圓代工服務，優化製程參數，建立 CoWoS-S, CoWoS-R, CoWoS-L, SoIC, SoW 等 3DIC 類型的參考設計流程(reference flow)，EDA 工具為 reference flow 中不可或缺的建議工具。
5. 設備廠商：配合晶圓代工服務廠商的製程需求，提供 3DIC 整合所需的技術服務。EDA 設計流程中的 DFT, ATPG, Diagnosis 會需要與自動化測試設備廠商合作，完成整體專案的設計驗證，以提高 3DIC 產品的品質 (low DPPM) 與良率 (higher yield)。
6. 材料廠商：配合晶圓代工服務廠商的製程需求，提供 3DIC 整合所需的技術服務。

透過這樣的合作與資源整合，能夠快速推動本地半導體供應鏈的升級，並提升國內在全球 3DIC 技術中的競爭力。

近期討論度很高的矽光子與感測器亦屬於異質整合的範疇，其執行策略與產

業建議與上述的方向與內容類似，只是要在幾個地方加入特別考 EIC(Electric IC) 和 PIC (Photonic IC)的綜合設計方法。(Synopsys 的軟體正在和 TSMC 以及其他廠商 Ansys 合作，完成終端客戶的專案需求，近期也將有參考設計範本 reference flow 提供給產業界)

另外有關異質整合技術的可擴充性與成本效益，要能完成可擴充性 scalability，首先要能盤點現有資源，並且設定一個系統性思維下的設計框架（例如政府確定一個未來十年的宏觀計畫，完成一個臺灣本土供應鏈自主完成的主權 AI），進而量化目前的差距以及未來政策扶助的產業方向。3DIC 參考設計流程(Reference Flow) 的建立由宏觀出發，以產業標準(3Dblox) 輔以 EDA 公司的 3DIC 設計驗證軟體與 IP (UCIe/HBM)完成一個基礎架構設計，並不斷依照 EDA 公司產品演化迭代的版本進行升級（從而得到可擴充性的目標）。(Synopsys 的設計工具與技術能量不斷與產業個領導廠商合作，利用 Synopsys 的產業地位與技術研發的承諾，臺灣政府的 3DIC 與異質整合產業政策的落實可以與時俱進，不斷迭代進版，同時產業界可以得到最佳的設計方法完成創新的 3DIC 專案)

最後，人才培育是臺灣產業，尤其是半導體產業面臨的關鍵挑戰。在未來異質整合與 3DIC 技術發展的背景下，人才需求更為迫切。為了解決這一問題，政府需以輔導廠商的立場，推動國內外人才政策，構建可持續發展的人才體系。有關國內人才發展，建議政府透過科專計畫提供創業支持、產業合作、企業稅率減免、研發費用折抵，使企業能夠以長期規劃將人力訓練能量累積，不會因為短期研發結果不能帶來獲利而減少研發資源的挹注，這樣才可以協助企業留住人才，並厚植實力。在國際人才的引進上，臺灣應積極採取策略，與其他國家政府共同推動人才在校的產業能力訓練，提供臺灣產業界的人力職缺，協助畢業學生到臺灣就業的管道。同時營造友善的工作與生活環境，吸引國際高端人才將臺灣視為首選落腳地。

八、蘇仁斌協理（聯發科技股份有限公司）

在當前半導體產業中，異質整合技術已成為推動未來發展的關鍵。為了加強本地供應鏈的競爭力，政府可以扮演協調整合與補助角色，推動本地或國外系統整合領導廠商和國內設備與材料的供應廠商建立夥伴關係，強化本地供應生態鏈。透過大帶小的策略，結合系統領導廠商，讓本土供應鏈扮演關鍵的角色。例如，異質整合著重於系統微型化、效能、功耗與成本優化，先進封裝與封測廠商是關鍵的技術，TSMC 和日月光 是這領域的領導廠商，政府可以推動以大帶小的策略，透過策略聯盟，扶植本地設備與材料供應商，以促進供應鏈整合。建立強大的本地供應鏈有助於提高產品交付速度和品質，使國內產業更具競爭力。在國際市場上，具有穩定供應鏈的企業更能應對市場變化和滿足客戶需求，提升國家整體產業競爭力。

此外，加速運算是推動 AI 新紀元的關鍵，包括 generative AI 等應用。除了運

算處理單元外，對於加速運算的可延展性與永續性，互連速度（如矽光子技術）和散熱技術是關鍵技術。建議政府應與產業界合作，共同制定異質整合技術路徑圖，明確關鍵技術發展方向和時間表，例如設立專案小組，針對矽光子技術、散熱技術等製定具體的研發計劃和目標，以推動技術發展。透過制定明確的技術路徑圖，有助於推動臺灣在 AI 領域的技術發展和市場競爭力，提升產業創新能力和國際競爭力。

除了加速晶片本身運算速度之外，運算範圍已從晶片擴展至跨晶片、跨主機、跨機櫃和跨資料中心，運算架構從晶片運算擴展到互聯運算(computing on interconnect)。如何加速互聯速度、縮短延遲將對運算效能延伸扮演關鍵角色。政府也可支持研究矽光子和感測器在異質整合中的應用，以及相關技術整合和創新。相關做法例如，成立矽光子與感測器整合研究中心，促進跨領域合作和技術交流，推動相關應用的發展。

目前，異質整合仍處於封閉市場，主要原因是設計複雜度高，使設計廠商望而卻步。建議政府也應投資研發先進封裝庫和 Chiplet 整合設計自動化工具，並提供技術支援和培訓，並建立異質整合 EDA 工具平台，整合標準化的 IP 庫與測試方法，將能夠協助設計師提升設計效率、縮短開發週期並提高產品競爭力。透過標準化和推動共享設計平台，可以降低異質整合設計的門檻，IC 設計師可以更容易地進行異質整合設計，加速產品上市速度，並推動整個異質整合市場的發展和擴大。

在人才培育方面，建議政府與產業界合作設立異質整合人才培育計畫，提供獎學金和實習機會。例如舉辦異質整合技術研討會和培訓課程，吸引年輕人才投入該領域並提供職涯發展機會。吸引和留住優秀人才是提升產業競爭力和創新能力的關鍵。在異質整合領域，具有專業人才的企業更能推動技術創新和產品升級，提高在國際市場上的競爭力。

最後，建議政府保持積極推動異質整合領域的政策制定，提供清晰的產業發展方向與支持政策。相關做法例如，設立異質整合產業發展專案辦公室，與相關部門合作制定支持政策與法規，以促進產業發展。另外也可提供資金支持企業研究異質整合技術的可擴充性和成本效益，例如投資研究機構進行異質整合技術的成本效益分析，並提供資金支持解決技術可擴充性方面的挑戰。

九、結語

臺灣推動異質整合技術發展具備深厚基礎，專家們普遍認為，我國需全面強化 IC 設計與 EDA 創新能力，並建構完整在地供應鏈。同時，應推動技術路徑圖制定，聚焦矽光子、玻璃基板與散熱等關鍵技術，分階段規劃短、中、長期目標，促進產官學研協作。再者，可結合異質整合與 AI 技術驅動產業升級，政府亦應擴大獎勵政策以促進創新，助力產業升級與國際化發展。在人才培育方面，應深

化教育與產學合作，吸引國際高端人才，並優化簽證政策，增強全球吸引力。最終，更要完善基礎建設與能源供應，營造永續產業環境，以確保臺灣在全球半導體競爭中的領先地位。茲綜整如下：

(一)強化 IC 與 EDA 設計創新能力，打造完整在地供應鏈

臺灣在推動異質整合技術發展方面，應從多個層面進行強化與整合，包括：

1. 提升 IC 設計與創新能力

異質整合技術的應用需要更高效的 IC 設計能力與創新實力。臺灣應聚焦於開發符合市場需求的設計架構，強化本地 IC 設計業者在全球市場中的競爭力，確保其能滿足高效能運算（HPC）、人工智慧（AI）等前沿應用的需求。

2. 推動本地化 EDA 工具發展

在軟體層面，推動本地化的異質整合 EDA 工具發展是當務之急。應積極扶植本土 EDA 公司，鼓勵其開發具備全球競爭力的設計工具。同時深化與國際領導企業（如 Synopsys、Cadence）的合作，借助其技術資源加速工具創新與應用，縮短技術研發週期，並降低設計成本，以全面提升臺灣在異質整合領域的技術優勢。

3. 支持本土設備與材料廠商

為支援異質整合製程的發展，政府應積極推動設備與材料供應鏈的在地化。針對本土設備與材料廠商，應提供專項資金補助，鼓勵其研發符合異質整合技術需求的製程設備及關鍵材料，降低對國外供應商的依賴。同時，透過整合上下游資源，構建穩定且完整的國內供應鏈與產業生態系。

(二)建立異質整合技術路徑圖，聚焦核心關鍵技術

為推動異質整合技術的全面發展，政府應聯合產業界、學術機構及研究單位，共同制定技術路徑圖，明確未來發展方向，重點包括：

1. 聚焦異質整合核心技術

有關異質整合技術之路徑圖應優先聚焦於關鍵技術領域，包括矽光子技術、玻璃基板及散熱解決方案等，這些技術將可能是異質整合應用實現高效能、高可靠性和微型化的重要支柱。

2. 技術成熟度與市場需求導向

根據不同技術的成熟度與市場需求，路徑圖應分為短期、中期及長期階段，分別規劃技術開發與應用的具體目標。短期內，可針對具備商業化潛力的技術進行快速研發與驗證；中期，則聚焦於關鍵技術的優化與應用擴展；長期，則專注於前沿技術的突破與創新。

3. 促進產官學研協作

透過建立技術路徑圖，促進產官學研之間的深度協作，使各方資源與專業能力得以有效整合。政府，可擔任引導者角色，提供政策支持與資金投入；企業，則專注於技術應用與市場需求；學研單位，負責核心技術的基礎研究與創新開發。

(三) 導入 AI 技術，驅動產業升級

全球主要國家大力推動 AI 與半導體產業的發展，紛紛投入大量資源，以搶占科技與市場領先地位。臺灣應積極採取相應策略，並藉以實現產業升級。

1. 擴大政府支持與獎勵措施

建議政府加大獎勵力度，透過政策誘因鼓勵國內廠商加強合作，集中資源投入異質整合技術與 AI 相關領域的研發。藉以促進產業內部的協同創新，並提升臺灣半導體產業的競爭力與不可替代性。

2. 推動異質整合與 AI 技術結合

透過異質整合技術的持續創新，將半導體技術與 AI 應用深度結合，為各產業提供高效解決方案。例如，藉由 AI 強化生產自動化、智能化與數據分析能力，可推動傳統產業邁向高附加價值化，實現全面升級。

(四) 深化國內人才教育與產學合作，強化國際人才吸引力

人才是驅動科技與產業發展的核心動力，臺灣在應深化國內教育與產學合作，並加強吸引國際高端人才的政策支持。

1. 深化國內教育與產學合作

首先，在課程設計與跨領域融合方面，半導體學院應進一步規劃異質整合的專業課程，涵蓋從設計、製造到應用的全產業鏈技術，並鼓勵跨學科背景的學生加入，如機械、材料、化學等相關領域，為異質整合產業培養多元化的人才結構。其次，應積極推動企業實習計畫，即學校與產業界合作，提供學生更多的實習機會，讓其在校期間即可參與實際研發與應用專案，增強實務能力並加速進入職場的適應過程。第三，強化經驗傳承之師資，可延攬已退休的半導體及相關領域專家學者，參與教學與人才培育計畫，傳承寶貴的實務經驗與技術知識。

2. 強化吸引國際人才

為充裕優質人力資源，建議臺灣透過設立高額獎學金與稅務優惠計畫，吸引全球優秀人才來台深造與就業，同時優化簽證申請及轉換流程，降低行政障礙，強化臺灣作為全球人才首選目的地的吸引力。此外，推動國內教育體系與全球接軌，加速國際人才流入，打造吸引力強的教育與就業環境，為半導體及異質整合產業提供穩定且多元化的人才支援。

(五) 建構優質產業環境

產業發展離不開完善的基礎設施與穩定的能源供應。建議政府優先強化基礎建設，確保電力供應的穩定性與韌性，同時積極推動再生能源及儲能技術的應用，以回應企業對 ESG 目標與綠色供應鏈的需求。透過完善的基礎設施與可持續能源支持，進一步提升臺灣產業環境的競爭力與永續性。

總而言之，異質整合技術已逐漸成為半導體產業的核心發展方向，臺灣憑藉深厚的技術基礎與完善的供應鏈體系，在全球市場中具備領先地位的潛力。然而，隨著國際競爭日益加劇，臺灣必須持續深化技術研發與創新，強化供應鏈建構與整合，並積極培育高端專業人才。透過政府的全力支持與政策引導，臺灣有望進一步鞏固其全球半導體產業的領導地位，確保未來在國際市場的競爭優勢。

第七章 結論與建議

一、結論

(一)異質整合與小晶片架構為推動半導體技術升級與應用突破的關鍵

異質整合技術作為延續摩爾定律並驅動半導體產業未來發展的關鍵，透過在單一封裝內整合不同製程與技術節點的元件，實現更高效能與更低功耗。此技術在高效能運算(HPC)、自動駕駛及 5G 通訊等前沿應用領域展現出巨大的發展潛力，成為各界競逐的焦點。結合同質整合技術，異質整合可提供更全面的系統整合解決方案，進一步優化整體效能。此外，小晶片架構(Chiplet Architecture)以模組化設計為核心，顯著提升設計靈活性與系統效能，同時降低開發成本與製造難度。該架構能夠支援多元化功能模組的無縫整合，縮短產品開發周期，為推動異質整合技術商業化提供有力支撐。

(二)異質整合與矽光子技術將引領半導體產業下一階段發展

未來，異質整合與同質整合技術的結合將進一步提升元件的整合度與功能性，推動半導體技術向更高層次發展。其中，矽光子共封裝光學(CPO)技術透過將光學模組與矽基元件整合於單一封裝內，大幅提高數據傳輸效率，同時顯著降低能耗。這一技術突破，為應對日益增長的數據流量需求提供了關鍵解決方案。異質整合與矽光子技術的協同發展，將成為高效能運算(HPC)和網絡基礎設施革新的重要基石。

(三)領導廠商及各重點國家政策均積極推動異質整合技術之發展

全球 IC 領導廠商，如 Nvidia、AMD 和 Intel，正積極採用 Chiplet 架構，利用異質整合技術顯著提升產品性能，以滿足高效能運算與低能耗的市場需求。同時，這些技術的應用也進一步推動了先進封裝技術的演進。各國政府亦紛紛加速本土技術的發展，並提供政策支持以強化產業競爭力。例如，美國的《晶片與科學法案》、歐盟的《歐洲晶片法案》，以及日本針對半導體技術的推進計畫，均將先進封裝與異質整合視為半導體產業未來的關鍵技術，並著力推動其技術突破與應用落地。

(四)半導體封裝技術已從 2D 邁向 3D

隨著人工智慧、高效能運算、5G 通訊及物聯網等應用對高效能、低功耗及小型化的需求日益提高，傳統的 2D 封裝已無法滿足產業需求。半導體封裝技術正快速邁向 3D 整合、Chiplet 架構及系統級封裝(SiP)等先進技術方向。並且，2.5D 與 3D 封裝技術，結合光學共封裝(CPO)與千瓦級散熱解決方案，將成為推動半導體產業發展的關鍵趨勢。然而，技術發展仍面臨多重挑戰，包括製程複雜度、成本管理及商業化應用落地等問題。因此，產業、政府、學術與研究機構需協同合

作，聚焦技術創新與突破，共同推動半導體封裝技術的持續進步。

二、建議

(一)強化 IC 與 EDA 設計創新能力，打造完整在地供應鏈

臺灣在推動異質整合技術發展方面，應從多個層面進行強化與整合，包括：

1. 提升 IC 設計與創新能力

異質整合技術的應用需要更高效的 IC 設計能力與創新實力。臺灣應聚焦於開發符合市場需求的設計架構，強化本地 IC 設計業者在全球市場中的競爭力，確保其能滿足高效能運算、人工智慧等前沿應用的需求。

2. 推動本地化 EDA 工具發展

在軟體層面，推動本地化的異質整合 EDA 工具發展是當務之急。應積極扶植本土 EDA 公司，鼓勵其開發具備全球競爭力的設計工具。同時深化與國際領導企業（如 Synopsys、Cadence）的合作，借助其技術資源加速工具創新與應用，縮短技術研發週期，並降低設計成本，以全面提升臺灣在異質整合領域的技術優勢。

3. 支持本土設備與材料廠商

為支援異質整合製程的發展，政府應積極推動設備與材料供應鏈的在地化。針對本土設備與材料廠商，應提供專項資金補助，鼓勵其研發符合異質整合技術需求的製程設備及關鍵材料，降低對國外供應商的依賴。同時，透過整合上下游資源，構建穩定且完整的國內供應鏈與產業生態系。

(二)建立異質整合技術路徑圖，聚焦核心關鍵技術

為推動異質整合技術的全面發展，政府應聯合產業界、學術機構及研究單位，共同制定技術路徑圖，明確未來發展方向，重點包括：

1. 聚焦異質整合核心技術

有關異質整合技術之路徑圖應優先聚焦於關鍵技術領域，包括矽光子技術、玻璃基板及散熱解決方案等，這些技術將可能是異質整合應用實現高效能、高可靠性和微型化的重要支柱。

2. 技術成熟度與市場需求導向

根據不同技術的成熟度與市場需求，路徑圖應分為短期、中期及長期階段，分別規劃技術開發與應用的具體目標。短期內，可針對具備商業化潛力的技術進行快速研發與驗證；中期，則聚焦於關鍵技術的優化與應用擴展；長期，則專注於前沿技術的突破與創新。

3. 促進產官學研協作

透過建立技術路徑圖，促進產官學研之間的深度協作，使各方資源與專業能力得以有效整合。政府，可擔任引導者角色，提供政策支持與資金投入；企業，則專注於技術應用與市場需求；學研單位，負責核心技術的基礎研究與創新開發。

(三) 導入 AI 技術，驅動產業升級

全球主要國家大力推動 AI 與半導體產業的發展，紛紛投入大量資源，以搶占科技與市場領先地位。臺灣應積極採取相應策略，並藉以實現產業升級。

1. 擴大政府支持與獎勵措施

建議政府加大獎勵力度，透過政策誘因鼓勵國內廠商加強合作，集中資源投入異質整合技術與 AI 相關領域的研發。藉以促進產業內部的協同創新，並提升臺灣半導體產業的競爭力與不可替代性。

2. 推動異質整合與 AI 技術結合

透過異質整合技術的持續創新，將半導體技術與 AI 應用深度結合，為各產業提供高效解決方案。例如，藉由 AI 強化生產自動化、智能化與數據分析能力，可推動傳統產業邁向高附加價值化，實現全面升級。

(四) 深化國內人才教育與產學合作，強化國際人才吸引力

人才是驅動科技與產業發展的核心動力，臺灣在應深化國內教育與產學合作，並加強吸引國際高端人才的政策支持。

1. 深化國內教育與產學合作

首先，在課程設計與跨領域融合方面，半導體學院應進一步規劃異質整合的專業課程，涵蓋從設計、製造到應用的全產業鏈技術，並鼓勵跨學科背景的學生加入，如機械、材料、化學等相關領域，為異質整合產業培養多元化的人才結構。其次，應積極推動企業實習計畫，即學校與產業界合作，提供學生更多的實習機會，讓其在校期間即可參與實際研發與應用專案，增強實務能力並加速進入職場的適應過程。第三，強化經驗傳承之師資，可延攬已退休的半導體及相關領域專家學者，參與教學與人才培育計畫，傳承寶貴的實務經驗與技術知識。

2. 強化吸引國際人才

為充裕優質人力資源，建議臺灣透過設立高額獎學金與稅務優惠計畫，吸引全球優秀人才來台深造與就業，同時優化簽證申請及轉換流程，降低行政障礙，強化臺灣作為全球人才首選目的地的吸引力。此外，推動國內教育體系與全球接軌，加速國際人才流入，打造吸引力強的教育與就業環境，為半導體及異質整合產業提供穩定且多元化的人才支援。

(五) 建構優質產業環境

產業發展離不開完善的基礎設施與穩定的能源供應。建議政府優先強化基礎建設，確保電力供應的穩定性與韌性，同時積極推動再生能源及儲能技術的應用，以回應企業對 ESG 目標與綠色供應鏈的需求。透過完善的基礎設施與可持續能源支持，進一步提升臺灣產業環境的競爭力與永續性。

專有名詞中英文及縮寫對照表

專有名詞	英文	中文
ADAS	Advanced Driver Assistance Systems	先進駕駛輔助系統
AI	Artificial Intelligence	人工智慧
AiP	Antenna-in-Package	天線封裝
AP	Application Processor	應用處理器
AR	Augmented Reality	擴增實境
ASIC	Application-Specific Integrated Circuit	專用積體電路
ASSP	Application-Specific Standard Products	特定應用標準產品
BGA	Ball Grid Array	球柵陣列封裝
BIST	Built-In Self-Test	內建自測試
CAGR	Compound Annual Growth Rate	年複合成長率
CCD	Core Chiplet Die	核心小晶片裸晶
CPI	Chip Package Interaction	晶片封裝相互作用
CPO	Co-Packaged Optics	共封裝光學
CPU	Central Processing Unit	中央處理單元
CMOS	Complementary Metal-Oxide Semiconductor	互補性氧化金屬半導體
CSP	Cloud Service Provider	雲端服務供應商
CTE	Coefficient of Thermal Expansion	熱膨脹係數
Df	Dissipation Factor	介電損失
Dk	Dielectric Constant	介電係數
DPU	Data Processing Unit	數據處理單元
DRAM	Dynamic Random-Access Memory	動態隨機存取記憶體
DSP	Digital Signal Processor	數位訊號處理
DTC	Deep Trench Capacitor	深溝電容
EDA	Electronic Design Automation	電子設計自動化
E/E	Electronical/Electric	電氣/電子系統
EIC	Electronic Integrated Circuit	電子積體電路
EMC	Epoxy Molding Compound	環氧模塑化合物

專有名詞	英文	中文
EMIB	Embedded Multi-die Interconnect Bridge	嵌入式多晶片互連橋接
EMS	Electronics Manufacturing Services	電子製造服務
eWLB	Embedded wafer level ball grid array	嵌入式晶圓級球柵陣列
FC	Flip-Chip	覆晶技術
FCBGA	Flip Chip-Ball Grid Array	覆晶球柵陣列封裝載板
FinFET	Fin Field-Effect Transistor	鰭式場效電晶體
FO	Fan-out	扇外型封裝
FOPLP	Fan-out Panel-Level Packaging	扇外型面板級封裝
FOWLP	Fan-Out Wafer-Level Packaging	扇出晶圓級封裝
FPGA	Field Programmable Gate Array	現場可程式化邏輯閘陣列
GPU	Graphical Processing Unit	圖形處理器
HBM	High-Bandwidth Memory	高頻寬記憶體
HI	Heterogeneous Integration	異質整合
HIR	Heterogeneous Integration Roadmap	異質整合藍圖
HPC	High Performance Computing	高效能運算
IC	Integrated Circuit	積體電路
IDM	Integrated Device Manufacturer	整合元件製造
InFO	Integrated Fan-Out	整合扇外型封裝
IIoT	Industrial Internet of Things	工業物聯網
IMC	Intermetallic compound	金屬化合物
IMU	Inertial Measurement Unit	慣性測量單元
IoT	Internet of Things	物聯網
IP	Intellectual Property	矽智財
IPO	In-Package Optical	封裝內光學
KGD	Known Good Die	良品裸晶粒
KGDM	Known Good Die Memory	良品裸晶記憶體
LLM	Large Language Model	大規模語言模型
LPDDR	Low Power Double Data Rate	低功耗雙倍資料速率記憶體
LSI	Local Silicon Interconnect	局部矽互連
MCM	Multi-Chip Module	多晶片模組
MEMS	Micro Electro Mechanical Systems	微機電系統

專有名詞	英文	中文
MIMO	Multi-Input Multi-Output	多天線技術
MSL	Moisture Sensitivity Level	濕度敏感等級
MUF	Mold Underfill	模封材料
NAPMP	National Advanced Packaging Manufacturing Program	國家先進封裝製造計畫
NAPPF	National Advanced Packaging Piloting Facility	先進封裝試點
NPU	Neural Network Processing Unit	神經網路處理單元
OBO	On-Board Optics	載板上光學
ODM	Original Design Manufacturer	原始設計製造商
OIP	Open Innovation Platform	開放創新平台
OM	Wafer Auto Inspection Machine	全自動晶圓檢查機
OSAT	Outsourced Semiconductor Assembly and Testing	委外封測代工廠
PA	Power Amplifier	功率放大器
PC	Personal Computer	個人電腦
PCB	Printed Circuit Board	印刷電路板
PDA	Personal Digital Assistance	個人數位助理裝置
PECVD	Plasma Enhanced Chemical Vapor Deposition	電漿化學氣相沉積
PI	Power Integrity	電源完整性
PIC	Photonic Integrated Circuit	矽光子積體電路
PLP	Panel-Level Packaging	面板級封裝
PMIC	Power Management IC	電源管理晶片
PPA	Performance-Power-Area	性能、功耗、面積
PPV	Performance-Power-Volume	性能、功耗、體積
PTO	Pluggable Transceiver Optics	插拔式光收發模組
PUE	Power Usage Efficiency	能源使用效率
PVD	Physical Vapor Deposition	物理氣相沉積
RAM	Random-Access Memory	隨機存取記憶體
RDL	Redistribution Layer	重分佈線層
RF	Radio Frequency	射頻
SDV	Software Defined Vehicle	軟體定義車輛
SEM	Scanning Electron Microscope	掃描式電子顯微鏡
SI	Signal Integrity	訊號完整性

專有名詞	英文	中文
SiP	System in Package	系統級封裝
SLID	Solid-Liquid Inter-Diffusion	固液擴散
SoC	System on a Chip	單晶片系統
SoW	System-on-Wafer	系統級晶圓
SRAM	Static Random-Access Memory	靜態隨機存取記憶體
STCO	System Technology Co-Optimization	系統技術協同最佳化
TCB	Thermal Compression Bonding	熱壓合
TCT	Thermal Cycling Tests	溫度循環測試
Td	Transmission delay	傳輸延遲
TDP	Thermal Design Power	熱設計功耗
TGV	Through-Glass Via	玻璃通孔
TIM	Thermal Interface Materials	熱界面材料
TOPS	Trillions of Operations Per Second	每秒兆次運算
TPU	Tensor Processing Unit	張量處理單元
TSV	Through-Silicon Via	矽穿孔
TTV	Total thickness Variation	總厚度變化
UBM	Under-Bump Metallization	層狀結構的球下金屬層
VR	Virtual Reality	虛擬實境
WDM	Wavelength Division Multiplexing	波長分波多工器
WLP	Wafer-Level Packaging	晶圓級封裝

國家圖書館出版品預行編目(CIP)資料

我國異質整合發展之挑戰 / 王欽宏, 吳仕先, 李佳蓁, 余振華, 邱國展, 林建中, 胡迪群, 洪松井, 郭佳韋, 張香鎰, 張筠苡, 陳冠能, 陳凱琪, 莊凱翔, 彭志偉, 曾志煌, 鄭良加, 駱韋仲, 盧超群, 劉志鵬, 蕭志誠, 戴明吉, 簡恆傑, 羅豐祥, 蘇仁斌 等作. --[臺北市]: 財團法人中技社, 民 113.12

190 面 ; 21×29.7 公分

ISBN 978-626-7665-00-8 (平裝)

1. CST : 半導體 2. CST : 半導體工業 3. CST : 技術發展
4. CST : 產業發展

448.65

113020557

著作權聲明@財團法人中技社

本出版品的著作權屬於財團法人中技社(或其授權人)所享有,您得依著作權法規引用本出版品內容,或於教育或非營利目的之範圍內利用本出版品全部或部分內容,惟須註明出處、作者。財團法人中技社感謝您提供給我們任何以本出版品作為資料來源出版的相關出版品。

未取得財團法人中技社書面同意,禁止改作、使用或轉售本手冊於任何其他商業用途。

免責聲明

本出版品並不代表財團法人中技社之立場、觀點或政策,僅為智庫研究成果之發表。財團法人中技社並不擔保本出版品內容之正確性、完整性、及時性或其他任何具體效益,您同意如因本出版品內容而為任何決策,相關風險及責任由您自行承擔,並不對財團法人中技社為任何主張。



財團 中技社
法人

CTCI FOUNDATION

106 台北市敦化南路2段97號8樓

Tel : 02-2704-9805~7 Fax : 02-2705-5044

<http://www.ctci.org.tw>



使用再生紙印製